

積體電路零件符號輔助建置技術

呂學嘉
國立高雄應用科技大學
學研究生
富比庫股份有限公司
工程師
1103305123@gm.kuas.edu.tw

謝欽旭
國立高雄應用科技大學
學教授
csshie@kuas.edu.tw

廖斌毅
國立高雄應用科技大學
學教授
byliao@kuas.edu.tw

林昆佑
國立高雄應用科技大學
學研究生
富比庫股份有限公司
工程師
49925214@gm.nfu.edu.tw

摘要

隨著科技的日新月異，新型的積體電路零件也不斷地產出，而每顆零件在開發後要應用至電路板的期間需經過建置零件圖樣、零件符號、3D 模擬…等步驟後方能進行電路板出圖，過程十分複雜。

在建置時除了需了解零件外觀屬性外，也必須了解該零件實際用途，所以需充分的了解相關的專業知識才能減少建置時間，但會相對地提高教學訓練的成本。

本論文主要目的是減少積體電路零件符號建置的時間，透過軟體設計取代人為操作的部分，使用本論文所提出的輔助建置工具後，除了減少建置時所需的計算外，也大幅減少人為手工的錯誤率。在輔助建置工具中附有建置中所需的基本規則，使用者不必記眾多複雜的建置規則及步驟，便可透過工具輔助完成積體電路零件符號建置。

關鍵詞：積體電路、零件符號、輔助建置技術

Abstract

Following by the advance of technology and the innovation, the new integrated circuit parts are constantly produce. Each part from in the development to be applied to the circuit board should through build parts drawings, parts symbols, 3D simulation steps, after then can be carried out the circuit board Figure, the process is very complex.

In addition to the need to understand the property of the parts when build it, but also should understand the practical uses of the part. So it is necessary to understand the relevant professional knowledge in order to reduce the building time, but will relatively

increase the cost of teaching and training.

The main purpose of this paper is reduce the time of build the schematic symbol of the integrated circuit and through the software to replace the artificial of the operation.

Using the auxiliary building tool which proposed in this paper can reduce the computation needed in building and reduce the manual error rate greatly. And the auxiliary building tool has the basic rules of building. So, Users can use the tools to build the schematic symbol of the integrated circuit without remember the numerous of complex building rules and procedures.

Keywords: Integrated Circuit、Schematic Symbol、Technology of Auxiliary Building

1. 前言

積體電路(integrated circuit, 簡稱 IC)[1-2]，又稱微電路、微晶片、晶片，主要是將電阻、電容、二極體、電晶體等電子元件，用微電子的技術將其製作成一片，是一種把電路小型化的方法，並在半導體晶圓表面上被製造而成。

20 世紀時，開始出現無線電、錄音機…等電子產品，隨著科技不斷的進步，消費電子產品也不斷的成長，對於積體電路的需求量也不斷的提高。數位的來臨，漸漸地出現更多不一樣的產品及需求，新型的積體電路[3]不斷的被製造出來，世界各地慢慢地進入高科技的時代。

根據環球訊息有限公司(Global Information, Inc. 簡稱 GII)的「IC 封裝的全球市場：2016 年版」市場調查報告書[4]中提到，新創研究 New Venture Research (NVR) 提供了對半導體元件和積體電路封裝工業進行深入的了解，從廣泛的研究歷史以及當前的市場趨勢來分析，調查了全球積體電路製造市場，包括從封

裝類型、I/O 數量和應用多個角度來預測 5 年後的成長，從圖 1 全世界 IC 裝置出貨量能夠瞭解到，明年 2017 年，IC 裝置預計出貨量將會高於 40 億件，2020 年的出貨量甚至會超過 45 億件，數量非常驚人可觀。

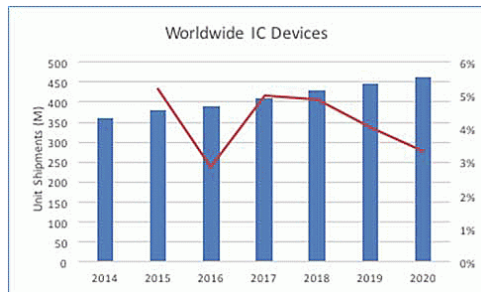


圖 1.全世界 IC 裝置出貨量

而積體電路產業中，設計電路原理圖是必要的過程，當開發工程師設計電子產品繪製電路原理圖時，皆倚靠電子設計自動化(Electronic Design Automation, EDA)工具[5]來完成，該工具主要目的是利用電腦軟體工具將複雜的電子產品設計過程自動化，並協助開發工程師設計電子產品，提高電子產品在市場上的競爭力。EDA 工具雖已改善設計電子產品所耗費的開發時間，但仍有不足之處。

越複雜的電子產品相對包含大量的電子零件，就必須花費相對時間建置所需的電路原理圖(Schematic, SCH)[6-7]，雖然現今的 EDA 工具有提供設計電路原理圖所需的 SCH 元件庫，但對於新型零件無法從 SCH 元件庫中取用，工程師仍需自行手動建置電路原理圖。

而在建置一個積體電路符號時，一位專業的建置工程師平均需要花費 20~60 分鐘，先從該電子零件的規格表(Datasheet)得知零件類型，工程師需依據零件編號(Part Name)、零件接腳名稱(Pin Name)、零件接腳編號(Pin Number)以及零件接腳類型(Pin Type)等相關專業知識才能完成一個符合需求且能運用於電路原理圖中的電路原理圖，而其中還需依照工程師不同的電路設計習慣等客製化的需求，依照需求建置出電路原理圖。

為了優化整個建置電路原理圖流程以及耗費的時間，本研究目的在於提供一個完善的建置電路原理圖的解決方案，透過資料擷取技術抓取一開始電子零件的規格表所提供的資訊，再將擷取的資料提供於工程師進行確認或調整並運程式自動化修正以及資料格式轉換技術產出貼近開發工程師需求的電路原理圖，而產出的電路原理圖亦可供不同的 EDA 工具使用，盼所設計之積體電路零件符號輔助建置技

術能加速整個電路設計的流程，縮減建置積體電路零件符號所耗費的時間以及降低工程師在建置積體電路符號時人工操作以及避免人為輸入判斷的失誤，大幅降低人工介入的成分並經由輔助程式得到電路原理圖。

2. 相關文獻及技術探討

2.1 電路原理圖組成

電路原理圖(Schematic, SCH)[8-9]主要由積體電路零件符號、連線、結點、注釋四大部分組成，如圖 2 所示為電路原理圖，積體電路零件符號在電路原理圖中可表示實際電路中的元件，實際的元件並不一定與它的形狀相似，也可能完全不一樣。但一般會將該元件的特色呈現於積體電路零件符號上，且部分積體電路零件符號有一定的建置標準，使得開發工程師得以輕易識別，而最重要的是實際元件的接腳數目會與積體電路零件符號保持一致。連線在電路原理圖中表示實際印刷電路中的導線，在電路原理圖為一段線路，但一般在實際印刷電路中是由多個形狀銅箔塊組成，可能由大片銅箔形成接點之間的橋樑。結點表示多個元件接腳或多條導線相互連接的關係，所有與結點連接之元件接腳或導線，皆為導通不論數量多寡。注釋在電路原理圖中扮演非常重要的角色，所有文字資訊皆歸類為注釋，且存在於電路中的各個角落，有利於開發工程師了解電路原理圖的各項資訊，被用於說明元件的功能類型、元件型號、名稱、元件類別、元件編號等。

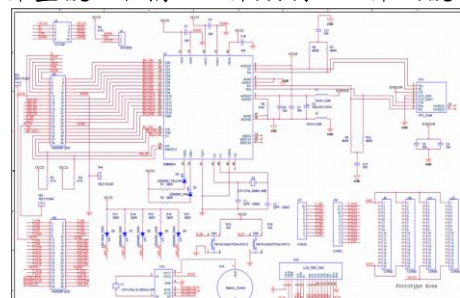


圖 2.電路原理圖

電路原理圖意旨積體電路零件符號的連線走向圖，將各個元件的連線和走向詳細接線方式繪製出來，以及各個元件的接腳說明與元件規格的資訊。而本研究著重於加速建置積體電路零件符號，新的元件並無法直接於 EDA 工具提供的 SCH 元件庫直接取用，如開發工程師遇到高腳位數的電子元件，會花費過多時間於建置積體電路零件符號，從電子零件規格書得知元件的各項資訊，並將其資訊輸入於 EDA 工具建置積體電路零件符號，如圖 3 所示為製

造商 Atmel 的電子元件，如要建置該電子元件的積體電路零件符號，則開發工程師必須先從電子零件規格書得知電子零件型號、零件接腳名稱對應關係以及零件接腳描述資訊，如圖 4，並將多項資訊一一輸入於 EDA 工具中，且建置過程必須精準，不得有資訊輸入錯誤的情形發生，是一項耗時耗精力的工具，本研究提出的積體電路零件符號輔助建置技術即用於建置過程中，並改善電路設計的流程。

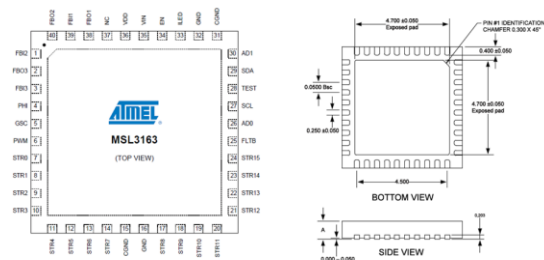


圖 3.製造商 Atmel MSL3163 零件規格資訊-1

Package Pin Description

Table 1. Pin Assignments

PIN	PIN NAME	PIN DESCRIPTION
1	FB02	Efficiency Optimizer Input 2 Connect FB02 to FB02 of the next device when chaining devices (Figure 7). If unused connect FB02 to GND.
2	FB03	Efficiency Optimizer output 2 Connect FB03 to the first power supply's feedback node or to FB03 of the previous device when chaining devices (Figure 7). If unused connect FB03 to GND.
3	FB03	Efficiency Optimizer Input 3 Connect FB03 to FB03 of the next device when chaining devices (Figure 7). If unused connect FB03 to GND.
4	PI0	Phase synchronization input PI0 is a pin with an internal signal from 400Hz to 10kHz to synchronize the MSL3163 clock. PI0 is typically the VSYNC signal input.
5	GSC	Gate with clock input Use GSC with the gate shift clock of the video signal, from 0 to 10MHz. GSC is typically the HSYNC signal input.
6	PI0M	PI0M input PI0M allows direct external control of the brightness of all LED strings. The PI0M input may also be used as a gate signal for the output of the PI0M. Drive PI0M with a pulse-width modulated signal with 50% duty cycle ranging from 0% to 100% and frequency up to 50kHz. When not configured for use as an input, high-impedance.
7, 14, 24	STR0, STR15	LED string current sink outputs Connect the cathode of the n-th string bottom LEDs to STRn. Connect unused STRn outputs to GND.
15	CON2	Connect to ground Connect CON2 to GND and to EP with short, wide traces.
16, 32	GND	Signal ground Connect CON2 to system ground and to EP with short, wide traces.
25	FLT0	Fault indication output (active low) Open drain output FLT0 sets control to GND whenever a fault condition is verified. Toggle EN low or read the fault registers to clear FLT0. Once cleared, FLT0 asserts if the fault conditions persist.
26, 36	AD0, AD1	Serial ID selection inputs Connect AD0 and AD1 to GND through resistors to set the device address for the serial interface.
27	SCL	MSL3163 I2C serial clock input SCL is the clock input for the I2C serial interface.
		MSL3164: SPI serial shift clock.

圖 4.製造商 Atmel MSL3163 零件規格資訊-2

2.2 積體電路零件符號介紹

所謂的電路符號，用來繪製電路圖時，代表不同的電子元件的圖像符號。常見的電路符號如圖 5 所示：



圖 5.常見的電子元件符號

2.2.1 基本積體電路

基本積體電路零件(Basic IC)[10-11]常見的封裝為雙列直插封裝 (dual in-line package，簡稱 DIP)，其特色為外型大多是長方形，在零件兩側有兩排平行的金屬接腳，腳位數不多，零

件大多可以焊接在印刷電路板電鍍的貫穿孔中，或是插入在 DIP 插座上，例如圖 6 為 DIP 封裝的 7404 基本積體電路零件。

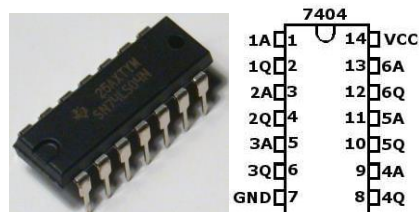


圖 6. DIP 封裝的 7404

基本積體電路零件因腳位數比較少，且功能大多對稱(一邊輸入、一邊輸出)，所以其零件符號大多會建置成左右擺放的方式，如圖 7 所示：

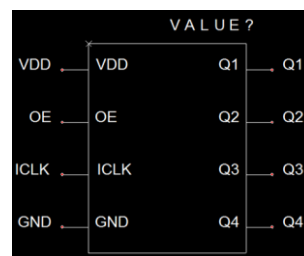


圖 7.常見基本積體電路符號表示方法

2.2.2 微晶片積體電路

微晶片積體電路零件(Microchip IC)為現今最常見的積體電路零件，不管是在主機板、手機、顯示卡...等電路板上都可以看到此封裝的積體電路零件，其特色為可以製作成極微小的晶片，外觀方正，大多為表面黏著 (surface-mount devices，簡稱 SMD)，不須在電路板上鑽孔焊接，下圖 8 為 Microchip 公司的 PIC15F4480 微晶片積體電路零件。

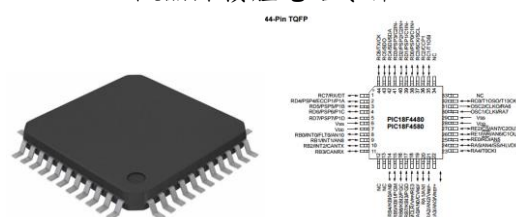


圖 8. PIC15F4480

微晶片因腳位數比較多，電源接腳也會比基本積體電路符號多，所以其零件符號大多會建置成四面擺放的方式，如圖 9 所示：

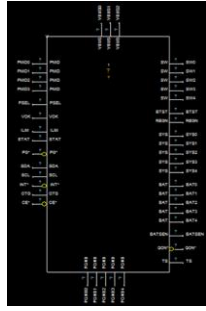


圖 9. 常見微晶片積體電路符號表示方法

2.2.3 球柵陣列封裝積體電路

球柵陣列封裝積體電路零件(BGA IC)主要特色是其下方有眾多的球狀腳位，腳位沒有固定的位置，最常見使用在 CPU 晶片上面，如圖 10 所示：

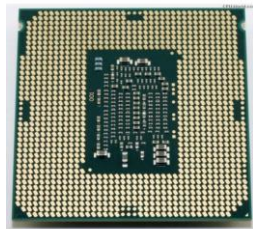


圖 10. 球柵陣列封裝積體電路

2.3 Tabula 可攜式文件格式檔案分析技術

可攜式文件格式(PDF)在各種平台上所顯示的格式皆相同，Tabula[12]運用此特點，識別出每個頁面中每個文字的位置座標(X 座標和 Y 座標)，透 JRuby 模組執行 PDF 來獲得所需要的檔案資料，該模組是使用 Apache PDFBox Java 程式庫來輸出類似於下方內容含有座標及文字內容的 XML 架構：

```
<page number="1" position="absolute"
top="0" left="0" height="792.0" width="612.0"
rotation="90"> <text top="10.60" left="341.89"
width="7.21" height="4.89" fontsize="9.96"
dir="90.0"><![CDATA[C]]></text> <text
top="10.60" left="349.10" width="7.21"
height="4.89" fontsize="9.96"
dir="90.0"><![CDATA[R]]></text> <text
top="10.60" left="356.30" width="6.66"
height="4.89" fontsize="9.96"
dir="90.0"><![CDATA[E]]></text> <text
top="10.60" left="362.96" width="7.21"
height="4.89" fontsize="9.96"
dir="90.0"><![CDATA[D]]></text> ... </page>
```

基於這項特性，我們可以找到每個字詞內容以及每個字詞的所在位置座標集合。比較麻

煩的是，PDF 文本通常不包含空格字元，所以，下一個單字的第一個字元只是放在稍微靠右邊的位置，解決方法就是當遇到兩串文字需要合併時，就必須自己添加一個空格。

接下來就是找出每張表的邊線位置，Tabula 使用了兩種方法區分出表中每列的資料：

1. OpenCV(Open Source Computer Vision Library) 跨平台的電腦視覺庫中的 Hough 函式來找出每張表格的邊線位置。
2. 如果沒有找出線條位置的話，Tabula 則會把垂直位置相同的單字群組在一起，每行的最下方邊界則是使用每群單字群的邊界位置座標。

最後就是行邊界的判斷，使用與判斷列邊界相同的方法，Tabula 將水平位置相同的單字群組再一起，每列的最右方則是使用每群單字群的邊界位置座標。

找出每行每列的資料後，即可將資料輸出為所需要的檔案架構，在本論文中則是輸出成 JSON 資料格式，以減少 Node.js 與 JavaScript 中過多不必要的變數轉換。

圖 11. Tabula PDF 轉換示意圖

Tabula 本身也有以下使用的限制：

1. Tabula 本身是使用讀取文本資料數值的方法，所以當如果 PDF 檔案資料架構是只有一張圖片的話(掃描檔)，則無法使用 Tabula。
2. 當每張表的欄位有多行且無線條去做分割的時候，Tabula 則會無法偵測到其分割的位置，則誤判的資料就會集合在一起。
3. Tabula 也無法判斷出合併欄位的部分，該欄位會則變被切割成多個欄位，但並不會影響其本來表格的架構。

所以本論文實驗中則會忽略含有以上限制的零件符號規格檔案。

3. 研究方法

3.1 積體電路零件輔助建置技術應用

情境

本研究技術情境如圖 12 所示，在積體電路零件符號輔助建置技術中主要是使用 Tabula PDF 擷取方法來實現從 PDF 上讀取零件腳位的相關資訊，由網頁伺服器後端來處理 Tabula 所擷取的結果，再透過前端介面擷取資料，而後回傳至網頁伺服器產生文本及符號檔案，符號檔案送至客戶端，文本資料則送至資料庫中，以便下次做判斷使用。當開始建置之前，建置工程師會將零件資訊檔案傳送至伺服器，伺服器會回傳顯示收到的檔案內容，建置工程師在框選所需要建置的零件資訊，由伺服器來擷取所框選的內容產生文本回傳給建置工程師做修改及確認，最後產生符號檔案。

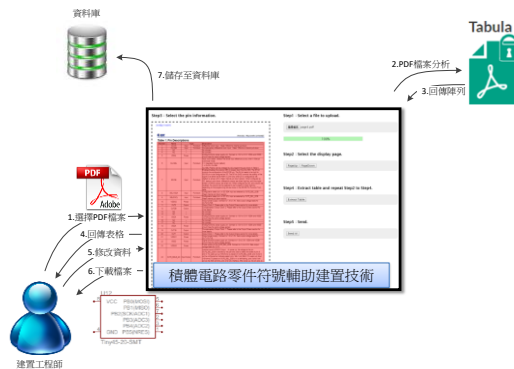


圖 12.積體電路零件符號輔助建置技術情境圖

3.2 積體電路零件輔助建置技術架構

積體電路符號輔助建置技術架構如圖 13 所示，其中包含建置工程師所操作的人機介面(1.1)、檔案上傳模組(1.2)、Tabula 指令模組(1.3)、資料處理模組(1.4)、規則模組(1.5)及檔案產生模組(1.6)。

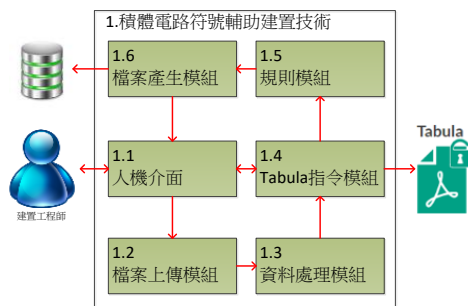


圖 13.積體電路零件符號輔助建置技術架構圖

● 人機介面(1.1)

人機介面是以網頁瀏覽器做呈現，主要是提供建置工程師進行介面操作，建置工程師透過此模組，可選擇欲上傳的零件資訊檔案及修改伺服器回傳的資料，上傳完成後，檔案上傳模組會回傳一張圖片做顯示，建置工程師即可

進行框選的動作，框選完成後，會把框選的座標送至 Tabula 指令模組，讓 Tabula 指令模組可以進行分析，建置完畢時則會將零件檔案透過此模組送至建置工程師。

● 檔案上傳模組(1.2)

檔案上傳模組是用來處理建置工程師所選擇的 PDF 檔案，上傳完成後轉成圖片傳送給人機介面做顯示，以便建置工程師進行框選的動作，另一邊也傳送給 Tabula 指令模組準備做分析。

● 資料處理模組(1.3)

此模組針對建置工程師所框選的資料進行處理，記錄建置工程師所框選的每一個座標位置之後，把記錄的座標位置送至 Tabula 指令模組進行分析。

● Tabula 指令模組(1.4)

Tabula 指令模組主要是與 Tabula 分析工具進行溝通的模組，除了接收由資料處理模組所傳來的座標給 Tabula 分析工具之外，會把 Tabula 所回傳的結果送至人機介面給建置工程師進行修改及確認。

● 規則模組(1.5)

此模組用來管理建置上的基本規則，其中包含處理由資料處理模組過來的 JSON 資料，把 JSON 資料轉換成腳位資訊進行輸出，套用在規則理進行建置零件符號的動作，把建置完成的資料送至檔案產生模組進行檔案輸出。

● 檔案產生模組(1.6)

此模組用來處理由規則模組中產生的 JSON 資料將其轉換成檔案，最後再壓縮成 Zip 檔送至人機介面給建置工程師。

4. 系統實作與實驗結果分析

4.1 系統實作

本研究主要目的為令過往繁瑣且耗時且多為仰賴人工操作的積體電路符號建置流程得以有所改善，故本研究提出一積體電路符號輔助系統，盼能藉由輔助系統的幫助下可將建置流程自動化，一方面改善過往皆人工建置的所耗費的時間，亦可減少人工建置時所遭遇之困難及錯誤。

圖 14 至圖 20 為本系統之實際操作介面與操作流程，爾後的實驗結果分析的測試人員皆已學習本研究所開發之系統並依據下述操作流程來進行測試。

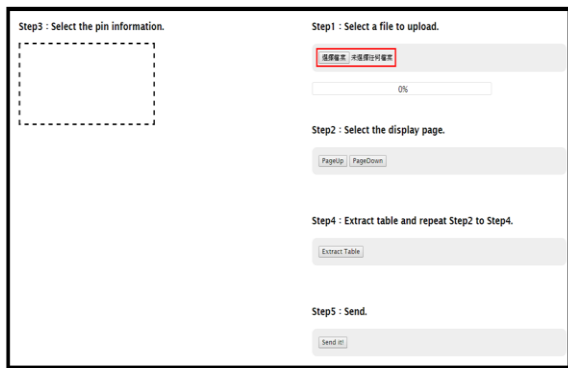


圖 14.輔助建置工具起始頁面

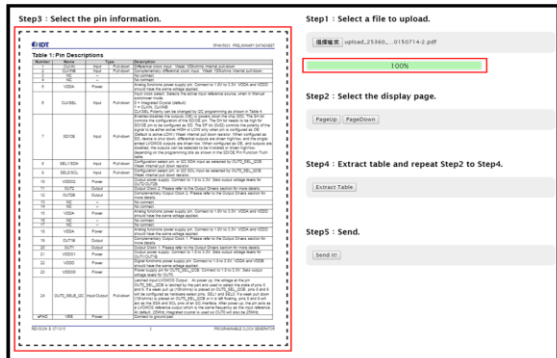


圖 15.輔助建置工具上傳結果

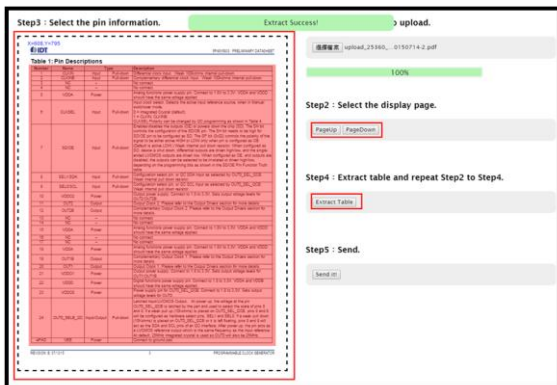


圖 16.輔助建置工具框選結果

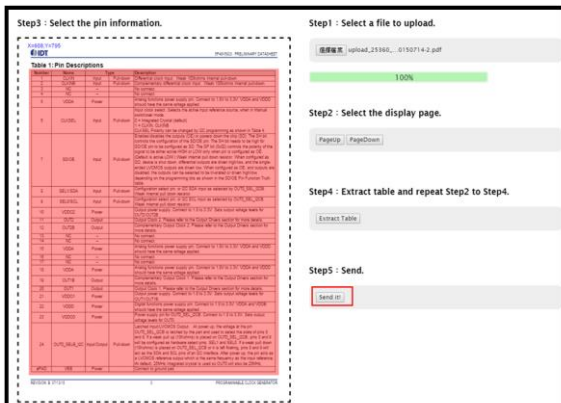


圖 17.輔助建置工具擷取完畢

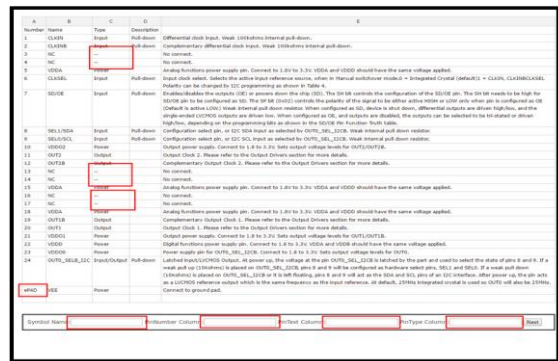


圖 18.輔助建置工具所需修改的內容

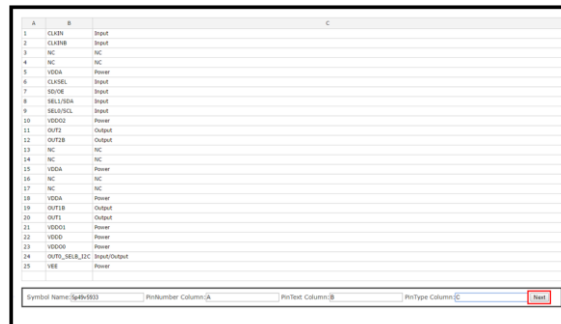


圖 19.輔助建置工具修改完成結果

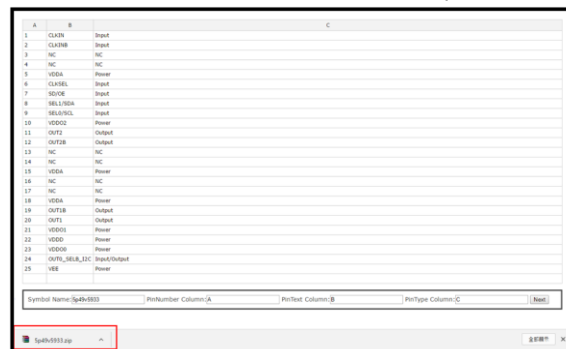


圖 20.輔助建置工具建置完成後下載

4.2 實驗目的

以 Cadence 的 EDA 工具 PCB Librarian 為例，用人工建置一個積體電路零件符號必須輸入 Symbol 腳位的相關屬性，如 PinText、PinType...等，建置工程師除了必須了解所需要輸入的屬性之外，還必需套用開發工程師所需要的規格，讓建置所需要的時間增長很多。

在本研究中提出輔助建置技術來提高建置積體電路零件符號的速度。在接下來的小節中將以 Cadence PCB Librarian 16.3 軟體來實現所開發積體電路符號輔助建置技術提供輔助建置服務。將評估所開發工具的效能將比較人工建置積體電路符號與輔助建置的優劣。

4.3 實驗環境

測試者並無操作過此系統，因此在進行測試之前，都會經過大約 10 至 20 分鐘的教學訓練及練習動作，主要是避免實驗時會因為操作

上的不熟悉導致數據不準確，測試用的電腦規格如表 1 所示：

項目	規格
作業系統	Microsoft Windows 7
CPU	Intel i5-4590 及同等級 CPU
記憶體	4G

表 1.實驗硬體規格

4.4 實驗設定

本實驗將挑選 3 個不同腳位數的積體電路符號和 2 人進行測試，而這 2 個人建置積體電路符號的經驗分別滿 6 個月及 2 個月，挑選出來的積體電路依照腳位數少到多分別為 opt101、sn74hc165。

◆ 腳位數較少：opt101

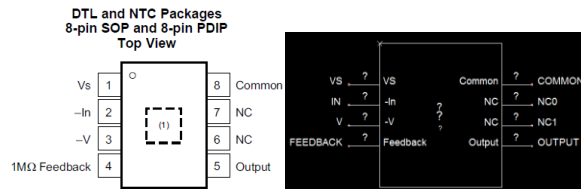


圖 21. opt101(a)腳位位置(b)積體電路符號

Pin Functions			
NO.	PIN NAME	I/O	DESCRIPTION
1	V _S	Power	Power supply of device. Apply 2.7 V to 36 V relative to -V pin.
2	-In	Input	Negative input of op amp and the cathode of the photodiode. Either do not connect, or apply additional op amp feedback.
3	-V	Power	Most negative power supply. Connect to ground or a negative voltage that meets the recommended operating conditions.
4	1MΩ Feedback	Input	Connection to internal feedback network. Typically connect to Output, pin 5.
5	Output	Output	Output of device.
6	NC	—	Do not connect
7	NC	—	Do not connect
8	Common	Input	Anode of the photodiode. Typically, connect to ground.

圖 22. opt101 積體電路腳位資訊

◆ 腳位數稍多：sn74hc165

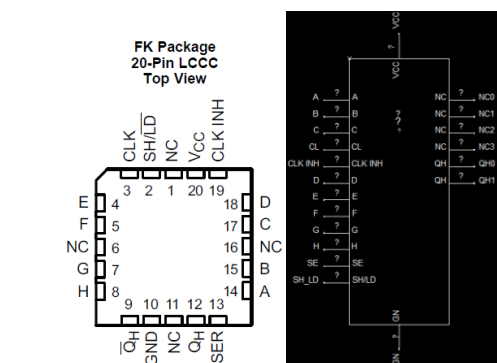


圖 23. sn74hc165(a)腳位位置(b)積體電路符號

PIN				I/O	DESCRIPTION
NAME	D, DB, N, ND, Pin, J or W	PK			
A	11	14	I	Parallel Input	
B	12	15	I	Parallel Input	
C	13	17	I	Parallel Input	
CLK	2	3	I	Clock Input	
CLK INH	15	19	I	Clock Inhibit, when High No change in output	
D	14	18	I	Parallel Input	
E	3	4	I	Parallel Input	
F	4	5	I	Parallel Input	
G	5	7	I	Parallel Input	
GND	8	10	—	Ground Pin	
H	6	8	I	Parallel Input	
NC	—	1	—	Not Connected	
	—	5	—		
	—	11	—		
	—	16	—		
Q _A	9	12	O	Serial Output	
Q _B	7	9	O	Complementary Serial Output	
SER	10	13	I	Serial Input	
SH/LD	1	2	I	Shift or Load Input, When High Data, shifted. When Low data is loaded from parallel inputs	
V _{CC}	16	20	—	Power Pin	

圖 24. sn74hc165 積體電路腳位資訊

◆ 腳位數稍多：sn74hc165

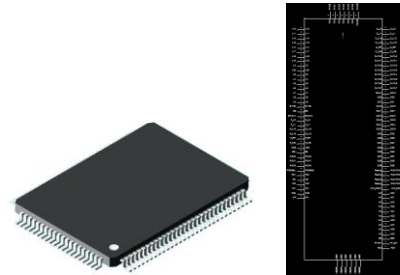


圖 25. epc16 (a)腳位位置(b)積體電路符號

Table 1. EPC16 Configuration Device Pins			
Pin Name	Pin Type	Description	100-Pin PinFP
A0	Input	Address input to flash memory.	27
A1	Input	Address input to flash memory.	28
A2	Input	Address input to flash memory. Should be connected to C-A15 on the board.	25
A3	Input	Address input to flash memory. Should be connected to C-A15 on the board.	21
A4	Input	Address input to flash memory. Should be connected to C-A15 on the board.	6
A5	Input	Address input to flash memory. Should be connected to C-A15 on the board.	17
A6	Input	Address input to flash memory.	49
A7	Input	Address input to flash memory.	47
A8	Input	Address input to flash memory.	46
A9	Input	Address input to flash memory.	36
A10	Input	Address input to flash memory.	31
A11	Input	Address input to flash memory.	29
A12	Input	Address input to flash memory.	28
A13	Input	Address input to flash memory.	27
A14	Input	Address input to flash memory.	26
A15	Input	Address input to flash memory.	25
A16	Input	Address input to flash memory.	24
A17	Input	Address input to flash memory.	23
A18	Input	Address input to flash memory.	22
A19	Input	Address input to flash memory.	21
A20	Input	Address input to flash memory.	20
A21	Input	Address input to flash memory.	19
A22	Input	Address input to flash memory.	18
A23	Input	Address input to flash memory.	17
A24	Input	Address input to flash memory.	16
A25	Input	Address input to flash memory.	15
A26	Input	Address input to flash memory.	14
A27	Input	Address input to flash memory.	13
A28	Input	Address input to flash memory.	12
A29	Input	Address input to flash memory.	11
A30	Input	Address input to flash memory.	10
A31	Input	Address input to flash memory.	9
A32	Input	Address input to flash memory.	8
A33	Input	Address input to flash memory.	7
A34	Input	Address input to flash memory.	6
A35	Input	Address input to flash memory.	5
A36	Input	Address input to flash memory.	4
A37	Input	Address input to flash memory.	3
A38	Input	Address input to flash memory.	2
A39	Input	Address input to flash memory.	1

圖 26. epc16 腳位資訊-第一頁

Table 1. EPC16 Configuration Device Pins			
Pin Name	Pin Type	Description	100-Pin PinFP
A0	Input	Address input to flash memory.	27
A1	Input	Address input to flash memory.	28
A2	Input	Address input to flash memory. Should be connected to C-A15 on the board.	25
A3	Input	Address input to flash memory. Should be connected to C-A15 on the board.	21
A4	Input	Address input to flash memory. Should be connected to C-A15 on the board.	6
A5	Input	Address input to flash memory. Should be connected to C-A15 on the board.	17
A6	Input	Address input to flash memory.	49
A7	Input	Address input to flash memory.	47
A8	Input	Address input to flash memory.	46
A9	Input	Address input to flash memory.	36
A10	Input	Address input to flash memory.	31
A11	Input	Address input to flash memory.	29
A12	Input	Address input to flash memory.	28
A13	Input	Address input to flash memory.	27
A14	Input	Address input to flash memory.	26
A15	Input	Address input to flash memory.	25
A16	Input	Address input to flash memory.	24
A17	Input	Address input to flash memory.	23
A18	Input	Address input to flash memory.	22
A19	Input	Address input to flash memory.	21
A20	Input	Address input to flash memory.	20
A21	Input	Address input to flash memory.	19
A22	Input	Address input to flash memory.	18
A23	Input	Address input to flash memory.	17
A24	Input	Address input to flash memory.	16
A25	Input	Address input to flash memory.	15
A26	Input	Address input to flash memory.	14
A27	Input	Address input to flash memory.	13
A28	Input	Address input to flash memory.	12
A29	Input	Address input to flash memory.	11
A30	Input	Address input to flash memory.	10
A31	Input	Address input to flash memory.	9
A32	Input	Address input to flash memory.	8
A33	Input	Address input to flash memory.	7
A34	Input	Address input to flash memory.	6
A35	Input	Address input to flash memory.	5
A36	Input	Address input to flash memory.	4
A37	Input	Address input to flash memory.	3
A38	Input	Address input to flash memory.	2
A39	Input	Address input to flash memory.	1

圖 27. epc16 腳位資訊-第二頁

4.5 實驗操作測試建置耗時比較

此小節主要分析以電腦軟體擷取的時間能夠代替人輸入的時間，因此在建置三個不同腳位數的電子零件圖樣時，也記錄著所花費時

間，雖然透過系統擷取取代人工運算，但是使用系統必須額外增加修改擷取資料的時間，修改資料的時間則依腳位的多寡而增加。而同樣人工或系統進行建置所花的時間包含新建專案、檢視電子零件規格書、輸入腳位資訊以及擺放…等動作。

圖 28 與圖 29 為兩位測試人員針對 3 腳位數皆不同的零件來手工建置與運用輔助建置工具建置所花費的時間，其中第一位測試人員對於建置積體電路符號的經驗為滿 2 個月，第二位測試人員對於建置積體電路符號的經驗為滿 6 個月。

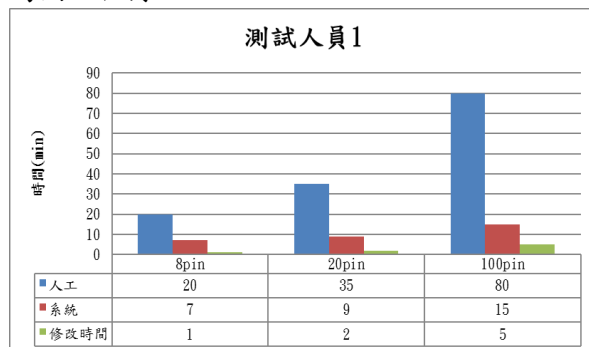


圖 28. 測試人員 1 所花費之建置時間

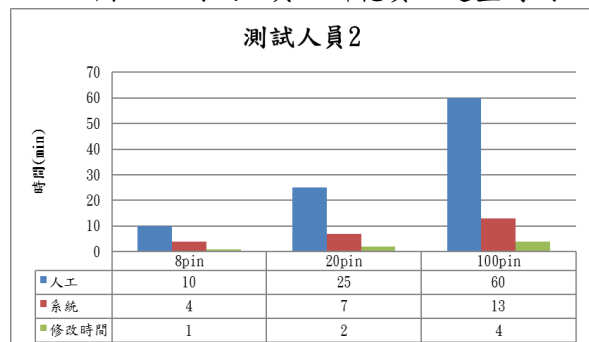


圖 29. 測試人員 2 所花費之建置時間

由上述兩張實驗數據中可了解在建置積體電路符號時，藉由輔助工具所建置之時間皆少於人工建置之時間，並隨著電路符號腳位的增加，所花費之時間差距亦愈來愈大，並可凸顯本研究提出之積體電路符號輔助建置工具能確實減少積體電路符號建置所花費之時間。

5. 誌謝

在此感謝科技部計畫:以 SCTP 與 SDN 實現車載行動雲端網路之服務遷徙(II)，計畫編號 MOST 105-2622-E-151-002-CC3的支持，使本研究得以完成。

6. 結論

隨著消費性電子產品的蓬勃發展，在物聯網與智慧家庭、小型無人飛行器、虛擬實境與穿戴裝置等議題的應用產品大舉出籠，與過往產品設備有非常大的差異，單一產品追求更豐

富的功能，微型元件更加多樣化，相對的繪製電路原理圖複雜程度提高且運用的電子零件數量種類都大幅增加。

電路原理圖主要用於電路設計或是電路佈局所需參考的設計圖，是一種簡化的電路圖形表示方式，使用簡單的示意圖示進行元件之間的連接，但電路圖裡各電子元件位置，並不能反應出實體電子元件的樣貌以及位置。而且現今建置電路原理圖所使用的電子設計自動化軟體工具(Electronic Design Automation, EDA)，雖然有提供電路原理圖元件庫，但 EDA 工具所提供的電路原理圖僅能適用於常見的電子元件，由於電子元件的日新月異，開發工程師不斷挑戰新穎的規格產品，EDA 工具內建的電路原理圖元件庫不足以應付，且對於目前市場對電路原理圖需求幫助不大。

為了能客製化電路原理圖且降低建置電路原理圖所耗費的時間，本研究透過輔助工具開發，運用輔助程式將建置過程自動化，減低人工介入耗費的時間以及降低人工操作錯誤的情形發生，而且因應開發工程師的設計習慣及不同建置規則的區分與應用，本研究亦提出客製化建置規則的建立與運用，讓工程師得以依據自身設計之習慣或不同客戶之設計需求來改變電路原理圖其中屬性、參數與文字設定等，盼可適應性地令工程師能更加便利操作與建置，此外經本技術所產出之電路原理圖可供不同的 EDA 工具使用，可有助於改善 PCB 設計流程中的第二階段電路圖繪製並加速整個開發進度。

而最後經實驗結果分析的數據中可證明本研究提出之積體電路符號輔助建置工具能確實有確實且有效地減少積體電路符號建置之時間，且依據積體電路符號腳位的增加，人工建置所耗費之時間與輔助建置工具建置之時間差距越來越多，所節省之時間亦越來越多，而過往透過人工來建置時，往往會因積體電路符號腳位數的增加，導致建置時間會為雙倍甚至於三倍以上，而運用輔助建置工具建置，雖建置時間亦會依據腳位數增加而變長，但差距較無人工建置來得大。

7. 參考文獻

- [1] 劉淑英，蔡勝樂，王文輝，“電路與電子學”，五南文化事業機構，2005/02
- [2] 李世鴻，“積體電路製程技術”，五南文化事業機構，1998/10
- [3] 台灣電子材料與元件協會，“新世代積體電路製程技術”，台灣東華書局股份有限公司，2014/07
- [4] Global Information, Inc., “The Worldwide IC

Packaging Market - 2016 Edition: The Most Comprehensive Report Available on the Global IC Packaging Industry”, 2016

- [5] 林毓柔, “電子設計自動化技術對台灣半導體產業價值網的影響”, 國立政治大學科技管理研究所碩士論文, 2006
- [6] 張榮洲, 張宥凱, “電子電路實作與應用(第二版)”, 全華圖書股份有限公司, 2015/02
- [7] 余文俊, “電路設計”, 全威圖書有限公司, 1996/08
- [8] 張義和, “電路設計實習：電路圖設計篇”, 新文京開發出版股份有限公司, 2009/12
- [9] 張義和, “電路設計實習：電路板設計篇”, 新文京開發出版股份有限公司, 2010/02
- [10] Sung-Mo (Steve) Kang, Yusuf Leblebici, Chulwoo Kim, “CMOS 數位積體電路分析與設計”, 台灣東華書局股份有限公司, 2015/12
- [11] 葉文冠, “積體電路：製程設計、佈局規劃及測試”, 台灣東華書局股份有限公司, 2015/01
- [12] Tabula, <http://tabula.technology/>