

使用通過式電晶體邏輯閘實現之低功率雙模式脈波觸發正反器設計

林進發
朝陽科技大學/助理教授
e-mail: jflin@cyut.edu.tw

江哲宏
朝陽科技大學/研究生
e-mail: s9830602@cyut.edu.tw

廖睿煬
朝陽科技大學/大學生
e-mail: sky316033@hotmail.com

摘要

本論文提出一種新型且支援多用途的雙模式(單緣及雙緣)脈波觸發正反器電路, 我們首先採用通過式電晶體邏輯電路(Pass transistor Logic)設計一個雙模式脈波產生器, 在保持電路複雜度的同時, 並解決了常見於通過式電晶體邏輯電路中的臨界電壓衰退(threshold voltage loss)問題。以此雙模式脈波產生器搭配準位觸發栓鎖器組成-具有雙模式的脈波觸發型正反器(DMP-FF)。透過完整的佈局後模擬(post layout simulation), 所提出的設計可以提供接近於傳統僅提供單一觸發模式之正反器性能的同時, 提供兩個觸發模式並保有一樣的電路面積。

關鍵詞: 正反器、脈波觸發、通過式電晶體邏輯電路。

Abstract

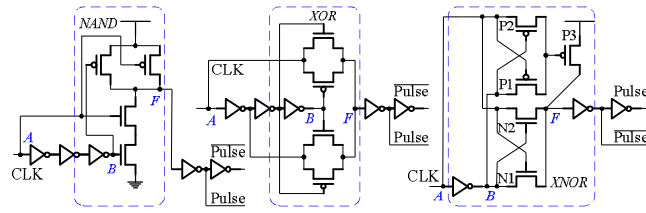
In this paper, a novel dual-mode pulse-triggered FF design supporting functional versatility is presented. A dualmode pulse generator design in pass transistor logic (PTL) is devised first. The threshold voltage loss problem common in PTL design is successfully resolved while the circuit simplicity is kept. By combining the pulse generator with a level sensitive latch, a dual-mode pulse-triggered flip-flop (DMP-FF) design is derived. Extensive performance comparisons against various single mode FF designs are conducted. The proposed design, bearing similar circuit complexity plus the advantage of dual mode operations, performs equally well as single mode counterparts in various AC parameters and power consumption.

Keywords: flip-flop, pulse triggered, pass transistor logic.

1. 介紹

正反器(flip-flop)是一個基本的儲存元件, 廣泛應用於各種的數位電路設計, 特別是現今的數位電路設計通常採用管線技術且大量使用正反器來強化效能, 例如多位元組暫存器和位移暫存器等。換言之, 對於整個系統的設計來說, 有效的降低正反器設計的複雜度對晶片的整體面積來說是一個很有效的方法。為了達成此一目標, 現今常採用脈波觸發正反器來代替傳統使用由兩個栓鎖器組成的主奴式正反器(master slave flip-flop)。脈波觸發正反器的電路它是由一個脈波產生器和一個準位觸發的栓鎖器(latch)組成, 脈波信號產生器在時脈訊號(clock)轉態的過程中產生一個狹窄的脈波信號(pulse clock), 因為其後的栓鎖器只能在此脈波寬度下動作(抓取資料), 其行為可近似一個邊緣觸發的正反器。由以上分析脈波觸發正反器因為只需使用一個栓鎖器, 因此它可以有效的簡化脈波觸發正反器的電路複雜度(面積), 也因資料的傳遞路徑只剩一個栓鎖器, 因此亦可提供比傳統正反器更高的切換速度。另一個脈波觸發正反器的優點是它們可以跨越時間週期邊界, 甚至可以提供零或負的設定時間(setup time), 當應用在管線結構時它將可以提供更好的使用彈性[1-2]。

脈波觸發正反器(P-FF)根據脈波產生器的設計方式, 主要可以分為內嵌式和外接式這兩種類型。在內嵌式類型的脈波觸發正反器, 脈波產生器是將栓鎖器設計與相關邏輯整合在一起, 在此電路中並沒有明顯的脈波信號產生。而在外接式類型的脈波觸發正反器, 脈波產生器的設計和栓鎖電路是個別獨立分開設計, 因而有較高的功率消耗。雖然外接式脈波產生器往往被視為是較省電, 但由於栓鎖器與其它邏輯的整合後, 過長的串接電晶體數目, 使得放電路徑太長, 造成較差的特性。而在外接式架構方面, 在實際應用上一個脈波產



(a)C-MOS 類型[1] (b)TG 類型[1] (c)PTL 類型[4]

圖.1 傳統脈波產生器電路。

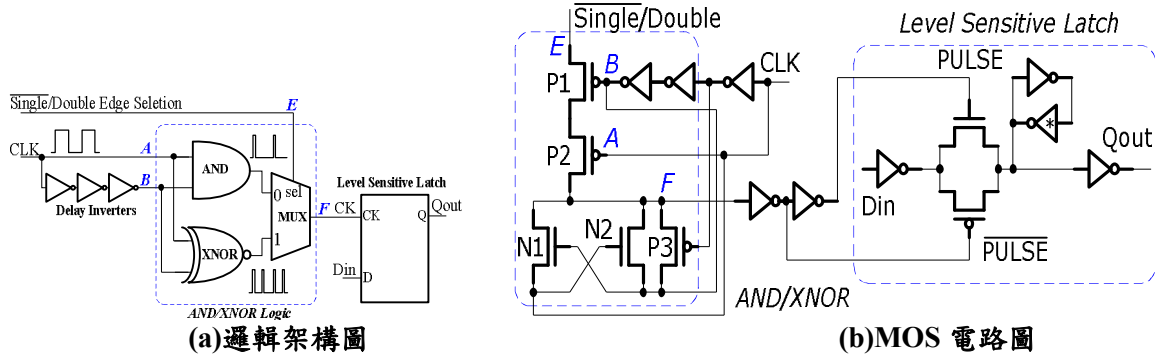


圖.2 所提出的 DMP-FF 設計

生電路可以提供給更多的正反器使用。因此，電複雜度和功率消耗可以進一步的降低，此為外接式類型的最大優勢。

因此，在本論文中我們將重點放在外接式類型設計。目前相關的文獻已提出各種支援外接式類型的脈波觸發正反器，不管是單緣或雙緣的觸發操作[2，6-8]，但在這些設計中沒有任何一個設計可以同時提供兩種不同觸發模式。一個雙模式觸發的正反器在許多應用中是很常見的，例如在許多通訊基頻電路中，需在一開始快速進行同步取樣，之後為了省電，時脈會降到正常頻率。在傳統上，上述的電路皆是採用二組正反器實現而有過高的功率消耗和面積問題。本文將提出一個全新的雙模式脈波觸發正反器的設計，我們將它取名為DMP-FF (dual-mode pulse triggered flip-flop)，所提出的設計重點在於降低電路複雜度的同時，並成功的整合兩個脈波產生器於同一個邏輯模組中，相較於其它單模式脈波觸發正反器的設計(單緣或雙緣)，所提出的設計也展現出比其它單模式脈波正反器有更好的功率和速度。

2.所提出的雙模式脈波產生器設計

A 單模式脈波產生器設計

圖.1 說明單模式脈波產生器三大常用的設計方式，圖.1 (a) [2]是表示為一個使用傳統CMOS 設計的單緣觸發器設計，電路中的NAND 閘的輸入為兩個互補信號，其中一個經

過3 個反相器的延遲後才進入NAND 閘。當此互補輸入信號AB 等於"11"時(換言之，就是在時脈上升邊緣)，NAND 閘將於輸出產生一個負脈波，而其脈波的寬度即為此三個反相器的延遲總合。最後於輸出提供兩個必要的反相器提供互補的脈波信號以及更好的驅動能力給予後方的栓鎖器使用。圖.1(b) [2]是一個利用傳輸閘方式設計的雙緣觸發器的XOR 邏輯用來代替NAND 邏輯，當AB=00 且AB=11 時，負脈波產生兩個上升和下降的時脈邊緣信號。圖.1(c) [8]顯示另一個雙緣觸發器的XNOR 邏輯，它是使用通過式電晶體邏輯(PTL)設計，產生一個上升及下降邊緣的正脈波，該設計方法來自於[9]，其中包含一對弱上拉和弱下拉電晶體，為了消除本身栓鎖的問題(latch-up)，而移除了下降nMOS 電晶體並只使用五個電晶體，但所付出代價是當AB=11 的時候會有臨界電壓衰退的問題而無法提供全擺幅的電壓輸出，也因此該電路並不適用於低電壓的操作，為此電路的最大缺點。

B 設計方法

圖.2 (a)顯示了雙模式脈波產生器邏輯設計架構圖。產生脈波的兩個邏輯閘分別是AND 和XNOR，使用此兩個邏輯閘來實現單緣和雙緣觸發脈波產生器。再搭上一個多工器用以選擇觸發時的模式，其相對應的布林代數可以表示為：

$$F = \overline{E}(A \bullet B) + \overline{E}(A \oplus B)$$

表.1 脈波觸發正反器電路特性比較

P-FF Designs	ep-SFF	ep-DSFF	XNOR-FF	Proposed
Triggering Mode	Single	Double	Double	Single / Double
Total Transistor-Count	24	24	21	25+2
Layout Area (μm^2)	160.98	174.56	194.52	201.18
Setup-Time (pS)	-100	-156	-136	-80 / -74
Hold Time (pS)	216.04	262.32	252.56	179.75 / 167.23
Data to Q Delay (pS)	155.52	156.7	176.64	154.06/154.54
Average Power (100% Switching Activity) μW	55.54	50.32	58.34	59.85 / 52.16
Average Power (50% Switching Activity) μW	43.55	41.10	47.74	48.12 / 40.59
Average Power (25% Switching Activity) μW	37.56	33.73	42.66	42.26 / 34.59
Average Power (0% Data High) μW	31.84	26.78	38.56	36.38 / 28.67
Average Power (0% Data Low) μW	31.70	27.72	37.35	36.0 / 30.24

其中選擇信號 E 用來控制多工器選擇模式，A 和 B 則為兩個互補的時脈信號。很明顯的，若我們使用傳統設計分別實現此邏輯結構中的三個電路，一個可以遇見的問題是電路的複雜性將會比單一模式的設計高出許多，它也會比單一模式設計有更糟的延遲時間和更高的時脈負載，也因此一直沒有提供雙模式的電路提出。為了克服這個問題，我們必須發展一個單一的邏輯模組能夠同時我們首先比對 AND 和 XNOR 邏輯的卡諾圖後發現，兩個邏輯的之間唯一的差別是當兩個輸入信號為 0 的時候 (AND=0, XNOR=1) 其他三個狀態則是相同的輸出。如果我們將控制信號 E 當作此一個輸入，在使用通過式邏輯方式實現，所以多工器，AND 和 XNOR 三個電路將可以成功的整合在一個電路中。我們參考了由通過式電晶體邏輯所設計的 4 個電晶體 XNOR[10]，依先前的分析所設計的 AND/XNOR 邏輯閘模組，只需將原本的 VDD 信號改成模式的選擇信號 E 即可實現。而原本的 4 個電晶體的 XNOR 設計，會有臨界電壓衰退的問題。因此，我們加上一個額外的 pMOS 電晶體解決此一問題。

圖. 2(b) 顯示我們所提出的雙模式脈波產生器，由虛線包圍的電路是一個由 5 個電晶體組成的 AND/XNOR 模組，當 AB=11 時新增的 P3 的 pMOS 電晶體用來防止輸出電壓的退化(即時脈上升邊緣)。而控制 P3 所需的互補控制信號可以在脈波產生電路的反相器延遲中獲得，因此並沒有增加額外電路的問題。而當 AB=00 和 E=0 的時候，電壓也“可能”會有出現衰退的問題(即當所提出的設計操作在單緣觸發模式的時脈信號的下降邊緣)。在這個情況下，一個弱的“0”(VTP)被傳送經由串聯的 pMOS(P1 和 P2)電晶體傳遞至輸出端。但在此模式中，所提出的電路只須產生上升邊緣的脈波，因此

此一問題並不會出現在我們的電路造成不良的影響。進一步分析顯示，當 EAB=010 到 001 的時候 EAB=000 的狀態會短暫的出現，當 EAB=010 時，pMOS 電晶體 P1 是接通 P2 是關閉，在此期間，輸出節點已經從 nMOS 電晶體 N2 放電到接地，因此，當 EAB 從 010 轉換到 000，輸出可以保持一個完整的 0 而沒有上述的電壓衰退問題。使用所提出的雙模式脈波產生器，搭配一個準位觸發型栓鎖器，我們即可實現雙模式脈波觸發正反(DMP-FF)。在文獻[1-8]中，多個不同類似的設計栓鎖器已經被提出與研究。

其中一個具有半動態架構的 TSPC 栓鎖器[11]被提出並應用在高速的處理器中。其主要優點是有更高的開關速度和降低時脈負載(無互補時脈信號是必需的)。但是，即使在沒有發生觸發脈波，此設計有內部節點不必要的切換問題造成額外的功率消耗。而在文獻[8]中，提出了使用 C2CMOS 邏輯方式設計，由於必要的串接結構(特別是 pMOS)，為了確保操作速度電晶體之尺寸將加大，此一問題除了使得時脈負載和電晶體面積增大外，並有較長的充電/放電路徑。最後，一個動態式傳輸閘設計的栓鎖器[2]結合靜態保持器(keeper)組成的半動態電路被提出。由於電路結構簡單，並具有全擺幅的電位輸出(full voltage swing)，因此我們選擇此一電路與我們所提出的脈波電路整合組成一個雙模式脈波正反-DMP-FF。整個電路包括必須的緩衝器後僅使用了 25 個電晶體。

3. 模擬結果

我們利用 HSPICE 模擬軟體進行完整的模擬數據進行性能比較與分析，除了我們所提出的設計 DMP-FF，還包括一個單緣觸發器設計(SFF)和兩個雙緣觸發器設計(DSFF, XNOR-PFF)進行分析與比較。其中 SFF and

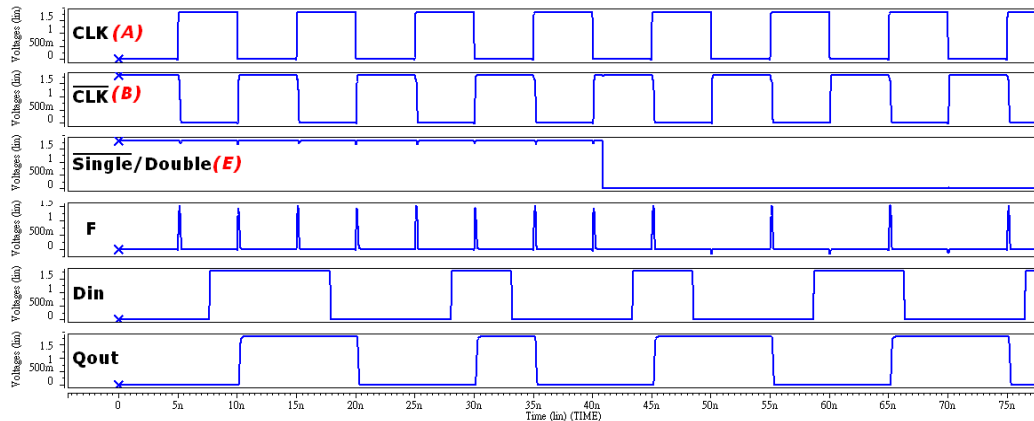


圖.3 所提出的 DMP-FF 設計模擬波形圖@1.8V/200MHz

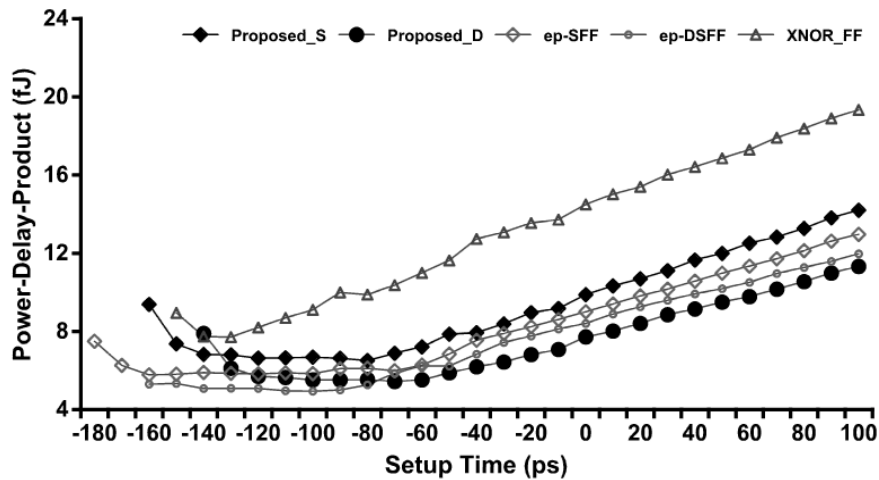


圖.4 設定時間 VS 功率延遲乘積比(power- delay-product)

DSFF 兩者描述在[2]和[14]英特爾TM處理器設計和使用脈波產生器在分別圖.1 (a)和(b)，他們還使用了相同的栓鎖器在圖.2 (b)。而 XNOR-PFF 結合脈波產生器在圖.1(c) 和栓鎖器設計在[8]。製程方面，我們採用台積電 0.18 μm CMOS 製程，為了正確的模擬信號上並足夠的脈波寬度信號是非常重要的，因此脈波產生器的邏輯電路電晶體尺寸必須謹慎設計以應付任何的製程變異。所以除了典型的操作條件 (TT)，不同的製程變異條件(FF，SS，SF 和 FS)都需考慮，以保證產生充足的脈波寬度。

圖.3 為我們所提出的 DMP-FF 的模擬波形，設工作條件為 1.8V/200MHz。依據我們的設計與模擬的結果顯示，所提出的 AND/XNOR 電路在僅使用五個電晶體的情況下，可以提供完整的電壓輸出(full swing)，在單緣觸發操作下模擬波形顯示，所提出的設計於輸出端將有一個微小的負尖峰突波，這是由於靴帶效應(bootstrap effect)所產生的電容耦合現象，這些微小的負尖峰突波將可輕易的由後端反相器(提供較佳的推動能力)消除，也因此並不會對

電路造成其它負面的影響[12]。圖.4 提供了功率延遲乘積比(power-delay -product) PDPDQ (延遲為 Data 到 Qout)與設定時間(setup time)的影響關係圖。一般來說，所提出的設計在雙緣觸發模式操作優於單緣觸發模式。當設定時間大於-80ps 該曲線也優於 INTEL 所提出的 ep-SFF 和 ep-DSFF。藉由這個曲線的幫助，FF 可以由此結果來確定最佳的工作點（設定時間）[13]。在我們的設計中，D 到 Q 的延遲最小值下限是 154.06ps。為了進一步了解所提出的設計之功率消耗行為，我們採個測試樣式；前兩個樣本都是全為 0 和全為 1 模式。第三到第五分別有 0 和 1 交替變化對應 25%，50% 和 100%的資料切換機率[1] (此為現今標準測試樣本)。為了得到公平性的平均功率消耗數據，單緣觸發正反器是操作在 200MHz，而雙緣觸發正反器則是操作在 100MHz(上升與下降緣各抓取一次資料)確保 所有受測的正反器擁有同樣的輸出資料轉換。

所得的模擬結果列於表.1。對於脈波觸發器的設計中，脈波產生器必須不斷的產生脈波

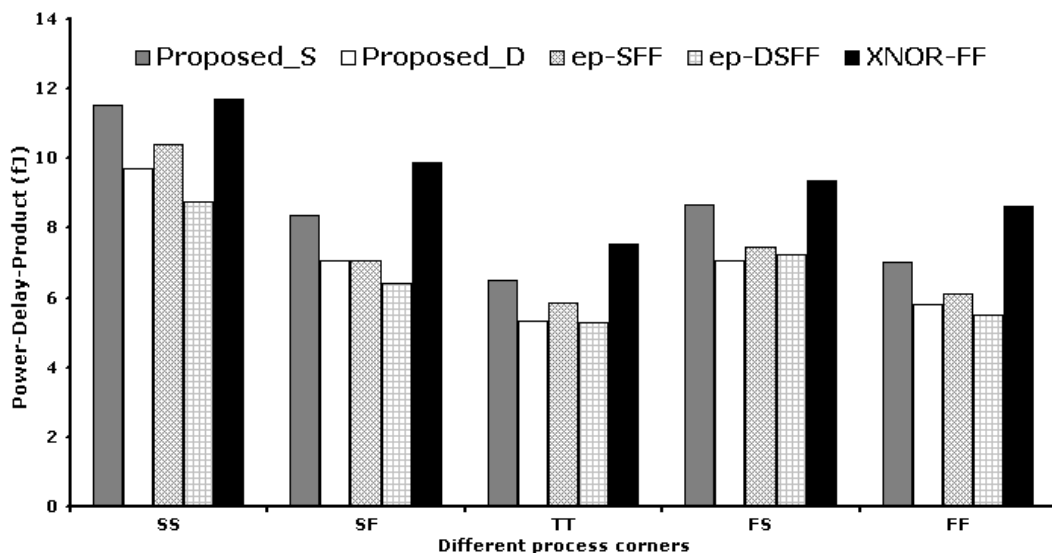


圖.5 在 50% 資料交換機率下功率延遲乘積比 VS 製程變異

提出給栓鎖器使用，因此其功率的消耗將是必要的，所以即使操作在資料沒任何切換的情況仍有功率的消耗。而隨著切換機率的上升消耗的功率也將隨之提高。如前面所提出的重點，一個脈波產生器可以被多個正反器共享使用。此舉將可以大大減少脈波產生器電路的功率消耗成本，此為脈波式正反器最大的優點。從表.1 中得知，我們所提出的設計與其他傳統僅提供一個觸發模式的設計相比，有著幾乎相同的功率消耗。而在 XNOR-PFF 的設計中，如前面的分析，該設計之脈波產生器須加大拉起 pMOS 電晶體尺寸和電壓衰退的問題，而有著最差的功率消耗與性能表現。最後圖.5 列出所有正反器設計於製程變異下的功率延遲乘積比表現，沒有意外的 XNOR-FF 的表現仍是所有設計中最糟的。

4. 結論

在本論文中，首先我們使用了通過式邏輯電路方式設計了一個全新的低複雜度雙模式脈波產生器。在降低電晶體數目的同時並提供多樣化觸發模式的特點，而且提供了全電壓擺幅的特性。使用此一脈波產生器搭配一個栓鎖器，所提出的雙模式脈波正反器僅僅使用 25 個電晶體即可實現。最後，透過佈局後模擬結果發現，我們所提出的設計在各種性能指標上，提供了媲美其它單模式電路設計的性能。

誌謝

感謝台灣國家晶片系統設計中心 (CIC) 對於晶片製程與模擬環境的提供與支援。

參考文獻

- [1] V. Stojanovic and V. Oklobdzija, "Comparative analysis of master-slave latches and flip-flops for high-performance and low power system," *IEEE J. Solid-State Circuits*, vol. 34, pp. 536 – 548, Apr. 1999.
- [2] J. Tschanz, et al., "Comparative delay and energy of single edge-triggered & dual edge triggered pulsed flip-flops for highperformance microprocessors," in *Proc. ISPLED' 01*, Aug. 2001, pp. 207 – 212.
- [3] H. Partovi, et al., "Flow-through latch and edge-triggered flip-flop hybrid elements," in *Proc. Dig. ISSCC*, Feb. 1996, pp. 138 – 139.
- [4] F. Klass, et al., "Semi-dynamic and dynamic flip-flops with embedded logic," in *Proc. Symp. VLSI Circuits, Dig. Tech. Papers*, June 1998, pp. 108 – 109.
- [5] B. Kong, S. Kim, and Y. Jun, "Conditional-capture flip-flop for statistical power reduction," *IEEE J. Solid-State Circuits*, vol. 36, pp. 1263 – 1271, Aug. 2001.
- [6] S. Vangal, et al., "5-GHz 32-bit integer execution core in 130-nm dual-V CMOS," *IEEE J. Solid-State Circuits*, vol. 37, pp. 1421 – 1432, Nov. 2002.
- [7] P. Zhao, et al., "High-performance and low power conditional discharge flip-flop," *IEEE Trans. Very Large Scale Integr. (VLSI) Syst.*, vol. 12, no. 5, pp. 477 – 484, May. 2004.
- [8] Shu, Y.-H., et al., "XNOR-based double-edge-triggered flip-flop for two-phase

- pipelines,” *IEEE Trans. Circuits Sys.-Part II*, vol.53, pp. 138 – 142, Feb. 2006.
- [9] D. Radhakrishna “Low-voltage low-power CMOS full adder,” *Proc. IEE Circuits, Devices and Systems*, vol. 148, no. 1, pp.19 – 24, Feb. 2001.
- [10]J. Wang, S. Fang, and W. Feng, “New efficient designs for XOR and XNOR functions on the transistor level,” *IEEE J.Solid-State Circuits*, vol. 29, pp. 780 – 786, July 1994.
- [11]J. Yuan and C. Svensson, “High-speed CMOS circuit technique,” *IEEE J. Solid-State Circuits*, vol. 24, no. 2, pp. 62-70, Feb. 1989.
- [12]J.-F. Lin, et al., “Novel low complexity dual mode pulse generator designs” *IEICE Trans. Fundamentals of Electron., Commun., Comput. Sci.*, vol. E-91-A, pp.1812-1815, July 2008.
- [13]H. Mahmoodi, et al., “Ultra low power clocking scheme using energy recovery and clock gating,” *IEEE Trans. Very Large Scale Integr. (VLSI) Syst.*, vol. 17, pp. 33 – 44, Jan. 2009.
- [14]C. Giacomotto, et al., “The effect of the system specification on the optimal selection of clocked storage elements,” *IEEE J.Solid-State Circuits*, vol. 42, pp. 1392 – 1404, June 2007.