

具有波寬控制與相位校正之延遲鎖定迴路

高少谷

長庚大學電機工程系

kaosk@mail.cgu.edu.tw

邱品誠

長庚大學電機工程系

M9621045@stmail.cgu.edu.tw

摘要

當製程技術不斷地提升，電晶體尺寸日益縮小時，各種短通道造成的效應以及電壓、製造和溫度造成的偏移，使得電路設計越來越困難；因為容易設計及穩定的特性，延遲鎖定迴路已經比鎖相迴路更廣泛地使用在時脈誤差校正上；在雙倍取樣的系統中，例如靜態記憶體和類比到數位轉換器，具有 50% 工作週期的訊號是非常重要的。為了能夠鎖定一時脈訊號的相位以及控制 50% 的工作週期，鎖相迴路(PLLs)、延遲鎖定迴路(DLLs)、以及工作週期校正器(DCC)均被深入研究。

本文提出具有波寬控制與相位校正之延遲鎖定迴路設計。在頻率 700MHz-900MHz、30%-60% 的輸入訊號工作週期，可產生輸出訊號 $50 \pm 1\%$ 的工作週期以及與輸入訊號相位誤差小於 8ps，本電路製程使用 TSMC 0.18um CMOS 製程。

關鍵詞：延遲鎖定迴路、工作週期校正器、50% 工作週期。

Abstract

When the technology continuously scaling down, the short channel effects and the presence of the voltage, process, and temperature variations make the circuit hard to design; Delay-Locked Loops (DLLs) have been used for clock deskew in stead of Phase-Locked Loops (PLLs) because of easy design and inherent stable; A clock with 50% duty cycle is extremely important in many double-rate system such as DDR-SDRAMs and analog-to-digital converters. To acquire the clock phase and to assure the 50% duty cycle of the clock, it results in the growth of the phase-locked loops (PLLs), delay-locked loops (DLLs), and duty-cycle corrector (DCC).

A DLL-based Pulsewidth Control Loop With Phase Error Corrector is presented in paper. It generates the output clock of $50 \pm 1\%$ duty

cycle when the input duty cycle clock is within 30% ~ 60% and the phase error is less than 8ps. The circuit is designed and simulated using TSMC 0.18um CMOS process. The operation frequency range is from 700MHz to 900MHz.

Keywords: Delay-Locked Loops、duty-cycle corrector、50% duty cycle。

1. 前言

圖 1.1 為傳統 DLL 的架構與時序圖，由相位偵測器(Phase Detector, PD)、充電泵(Charge Pump, CP)、電壓控制延遲線(Voltage Control Delay Line, VCDL)組成。

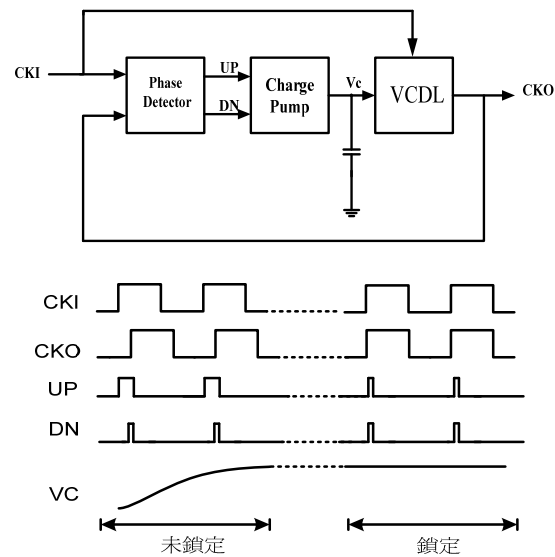


圖 1.1 傳統延遲鎖定迴路與時序圖

當 DLL 啟動時，PD 比較輸入時脈(CKI)與回授時脈(CKO)，產生 UP 或 DN 訊號判斷 CKO 的相位是超前或落後 CKO，然後對 CP 充電或放電，經過電容產生電壓 V_c ，此 V_c 即控制 VCDL 延遲時間，經過數個 close loop cycle 之後，CKO 與 CKI 相位經過校正後相同， V_c 趨近於穩定，此時 DLL 鎖定，即為傳統 DLL

的基本動作原理。運用 DLL 特性，其鎖定时 VCDL 相位會平均散布在 CKI 一個週期內，以及鎖定时校正相位誤差，來設計具有脈波寬度控制與相位誤差校正的延遲鎖定迴路。

2. 主要內容

2.1 電路介紹與工作原理

本電路架構與時序圖如圖 2.11、圖 2.12。整個電路是以一個延遲鎖定迴路為基底，加上啟動控制電路(Start Controlled Circuit)，工作週期修正電路(Duty Cycle Corrector)來達到工作週期與相位誤差之校正。

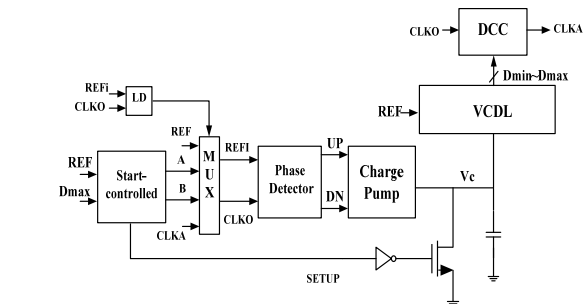


圖 2.11 系統架構圖

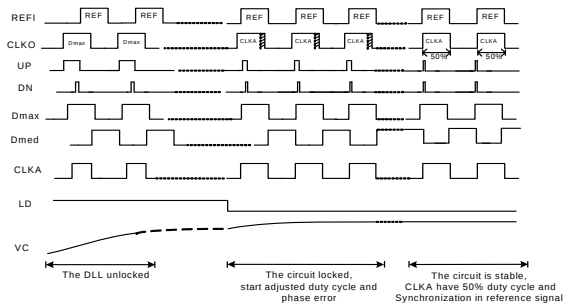


圖 2.12 系統時序圖

本電路包含三個系統迴路，當 REF 訊號輸入時，首先延遲鎖定迴路先啟動，啟動控制電路(Start Controlled Circuit)確保迴路不會發生鎖定錯誤的狀況，當 REF 與 CLK_O 進入鎖定偵測器(Lock Detector)範圍時，訊號 AB 分別由二對一多工器切換成 REF 與工作週期修正電路(Duty Cycle Corrector)產生的輸出訊號 CLK_A，繼續進行相位校正，也同時啟動工作週期修正電路，進行工作週期修正，即可得到與 REF 同步的輸出訊號與 50% 工作週期。以下我們將介紹此系統電路中的各個區塊及

其工作原理。

2.2 啟動控制電路 (Start Controlled Circuit)

圖 2.21 為本電路系統中的啟動控制電路。啟動控制電路由兩個 DFFs、兩個 NAND 閘與兩個反相器所組成，其時序圖如圖 2.22 所示。

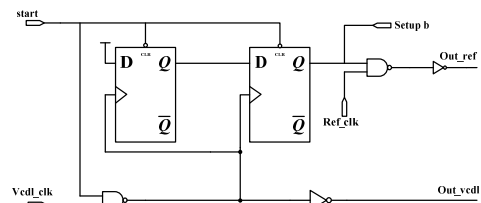


圖 2.21 啟動控制電路架構

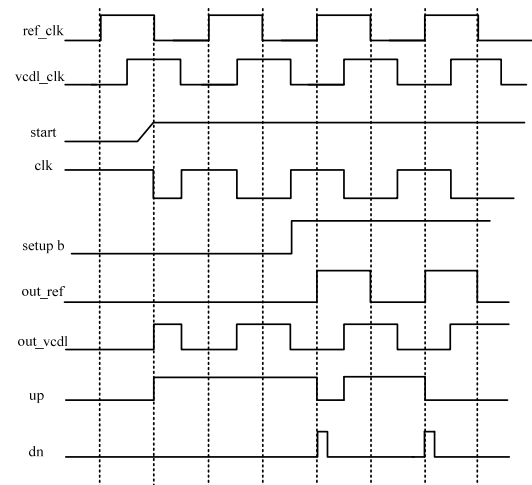


圖 2.22 啟動控制電路時序圖

最初 start 調整到 low 並且清除兩個 DFFs 的輸出，因此 setup b 也是 low 並且把控制電路拉到電源電壓(即確定電壓控制延遲線的延遲最小)，此時相位頻率偵測器的輸入在 low 的位準，當 start 變到 high 時，setup b 也將變換成 high，此時相位頻率偵測器的 DN 信號將被啟動並且讓電壓控制延遲線的延遲增加，由於負回授的機制會使得電壓延遲線的延遲增加到剛好為一個參考輸入訊號的週期。

2.3 相位偵測器(Phase Detector)

傳統上使用靜態數位電路實現的相位偵測器，如圖 2.31，雖然可以減少禁止區的產生，而重置的延遲時間決定了操作時間，主要的重置回授路徑由六個邏輯閘延遲所造成，此種作法將形成了速度的限制。

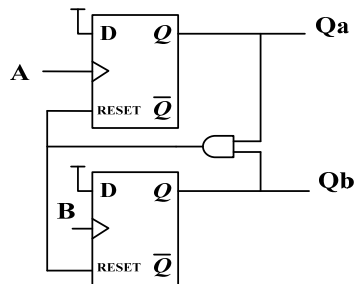


圖 2.31 傳統相位偵測器

圖 2.32 為新型態運用動態數位電路所設計的相位偵測器電路圖與時序圖，傳統的靜態邏輯電路由動態邏輯閘所取代，然而相位偵測器所使用的電晶體數目由 44 個減少成為 16 個，而重置延遲迴路減少成為三個閘延遲，比傳統相位偵測器的重置延遲時間短，所以此種架構具有更高的工作頻率。

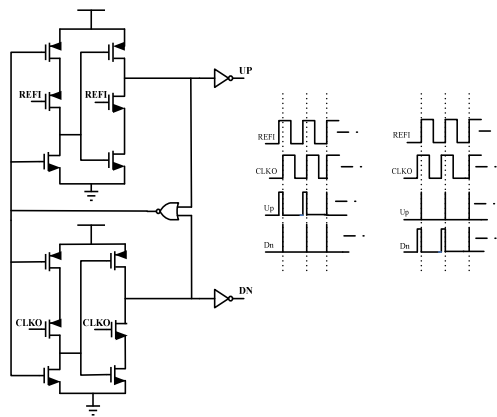


圖 2.32 PD 電路圖與時序圖

2.4 鎖定偵測器(Lock Detector)

如圖 2.41 所示，主要的功能是偵測兩訊號是否接近到設定的相位差，其判別的結果可用來告知工作週期修正電路(Duty Cycle Corrector)何時開始啟動校正或何時該停止校正與二對一多工器何時切換訊號。

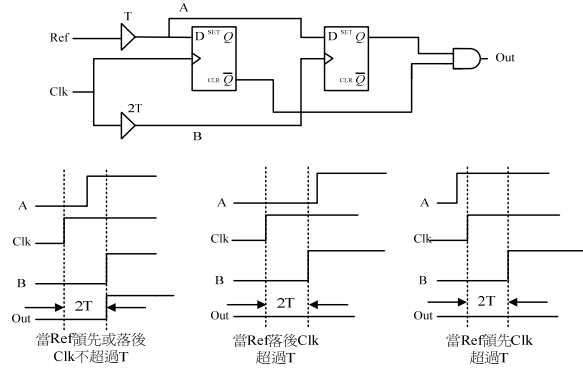


圖 2.41 鎖定偵測器

2.5 充電泵 (Charge Pump)

圖 2.51 為充電泵電路架構，由相位偵測器產生的 UP、DN 訊號，去控制充電泵(Charge Pump)的電流大小。當充電泵的充電電流與放電電流相等時，表示輸入訊號 REF 與輸出訊號有最小的相位差。

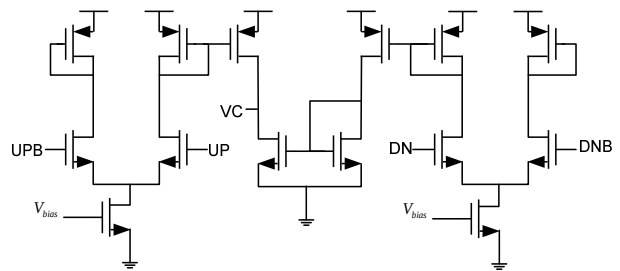


圖 2.51 充電泵電路圖

2.6 電壓控制延遲線 (Voltage Control Delay Line)

圖 2.61 為電壓控制延遲線電路圖，由 Vc 電壓控制八個延遲單元(Delay Cell)延遲時間大小，此種電路為正斜率，即 Vc 電壓越大，延遲相位越大。

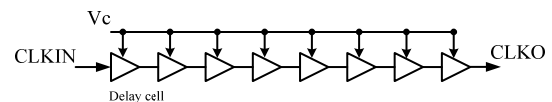
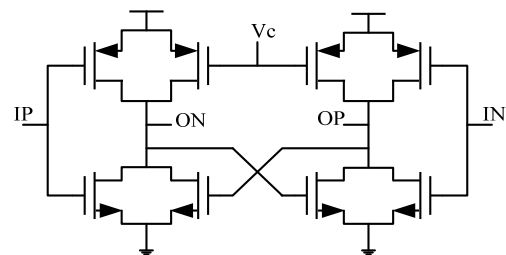


圖 2.61 電壓控制延遲線



2.7 工作週期修正電路 (Duty Cycle Corrector)

如圖 2.71，為工作週期修正電路架構與時序圖，由充電泵(Charge Pump)、半穿透器(Half-Transparent Circuit)、延遲單元(Delay Cell)、時脈產生器(Pulse Generator)所組成。圖 2.72 為充電泵電路及時序圖。當電路鎖定時，電壓控制延遲單元(VCDL)八個相位平均分布於 REF 一個週期中，取延遲最大與延遲近 REF 50%的相位，再經由時脈產生器和半穿透電路組合而成的 CLKA 訊號，與 REF 進行相位校正，若 CLKO 非為 50% duty cycle，則利用充電泵積分器原理，可得一電壓 VC1 控制延遲單元延遲時間，修正工作週期，直到取得 50% duty cycle。

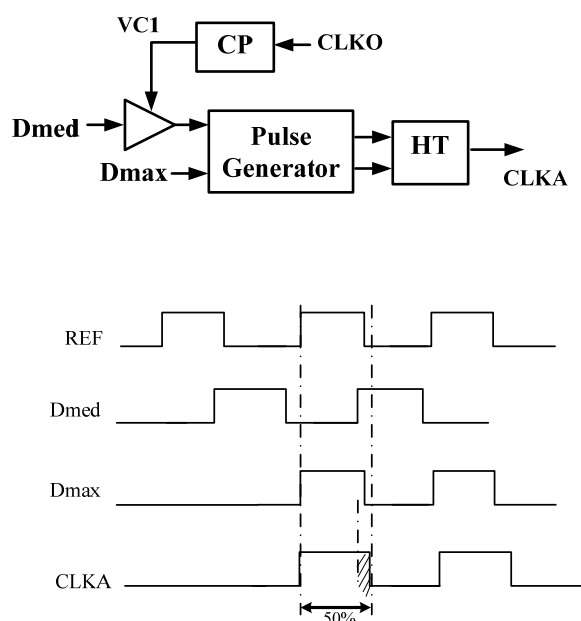


圖 2.71 工作週期修正電路架構與時序圖

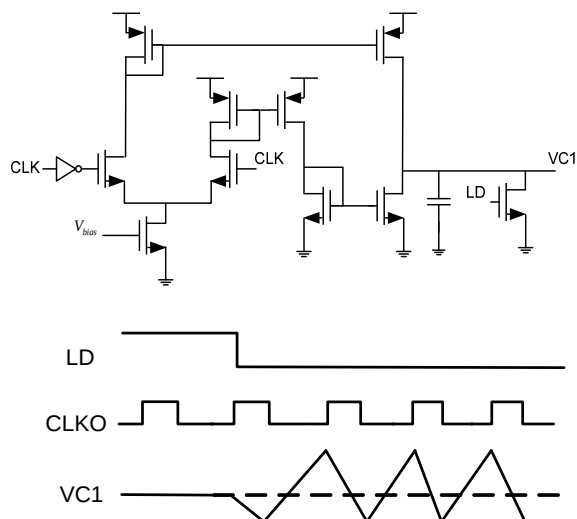


圖 2.72 充電泵與時序圖

2.8 時脈產生器 (Pulse Generator)

圖 2.81 為時脈產生器電路與時序圖，利用一個反相器與 AND 閘產生 OUT 訊號，此電路是為了防止 Dmax 的 duty cycle 過大蓋過 Dmed 訊號導致 HT 無法正常擷取波形

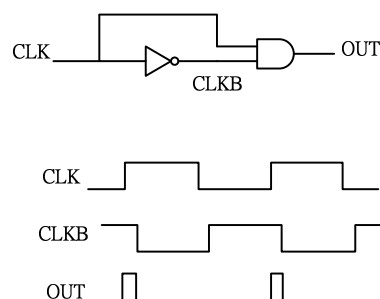


圖 2.81. 時脈產生器電路與時序圖

2.9 半穿透電路 (Half-Transparent Circuit)

圖 2.91 為半穿透電路與時序圖，如果訊號 Dmax 領先 Dmed，將有一個訊號 Z 表示它們的相位差，否則輸出訊號將沒有動作。

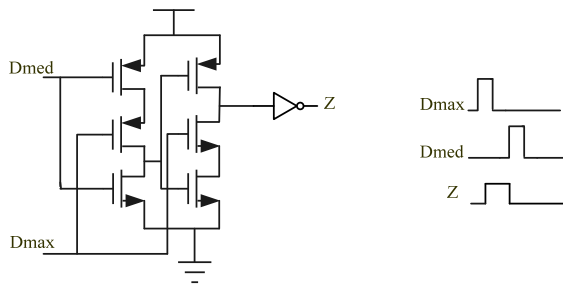


圖 2.91. 半穿透電路與時序圖

3. 模擬結果

圖 3.1 為改良式延遲鎖相迴路架構圖。為驗證此架構能在 700MHz 且 Input duty cycle 30%時可動作，如圖 3.2 所示，在 TT-SS-FF 環境中做 Pre-sim 與 Po-sim 模擬及比對，可得 Pre-sim duty cycle error TT:+0.6%、SS:+0.91%、FF:+0.1%；Po-sim duty cycle error TT:+0.7%、SS:+0.91%、FF:-0.1%:

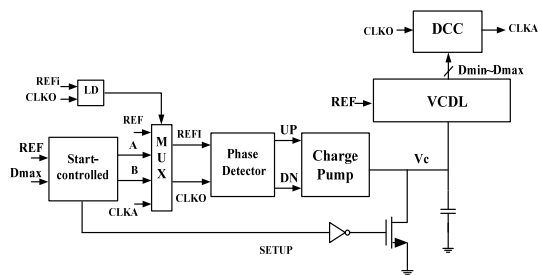
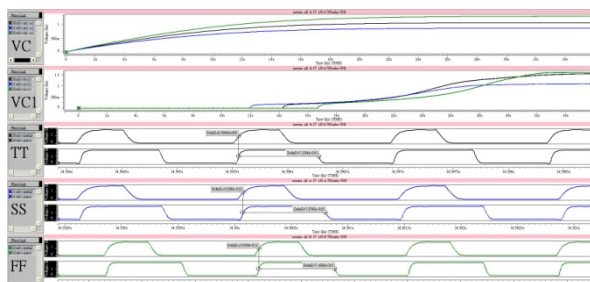
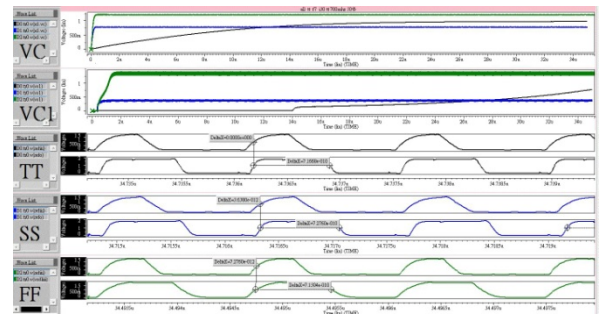


圖 3.1 改良式延遲鎖相迴路架構圖



(A)

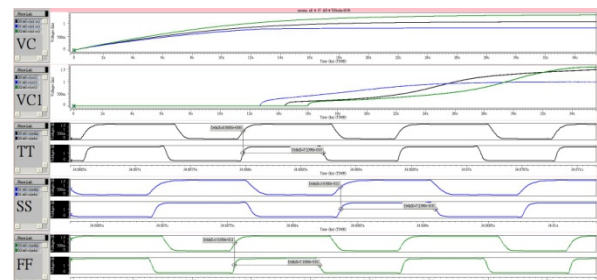


(B)

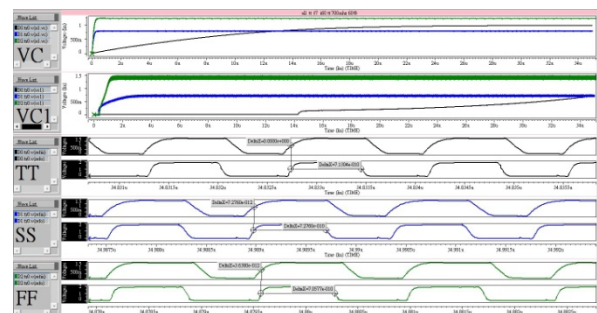
圖 3.2 頻率為 700MHz，Input duty cycle 30%時在 TT-SS-FF 環境

(A)Pre-simulation (B)Po-simulation

驗證在 700MHz 且 Input duty cycle 60%時可動作，如圖 3.3 所示，在 TT-SS-FF 環境中做 Pre-sim 與 Po-sim 模擬及比對，可得 Pre-sim duty cycle error TT:+0.6%、SS:+0.9%、FF:+0.1%；Po-sim duty cycle error TT:+0.1%、SS:+0.91%、FF:-0.7%:



(A)

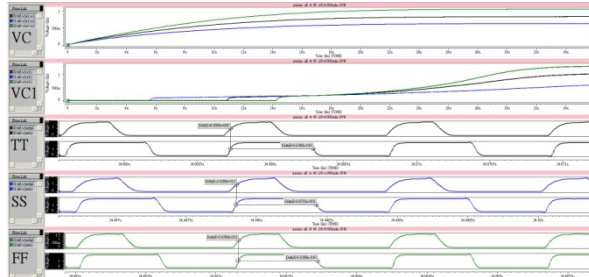


(B)

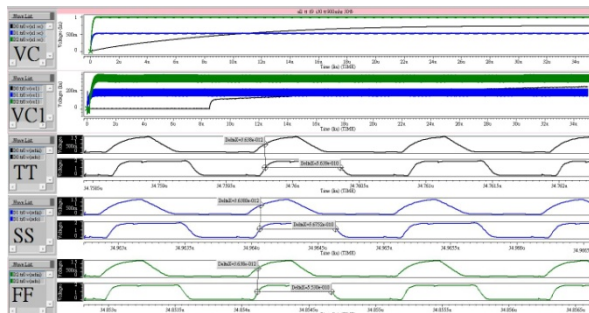
圖 3.3 頻率為 700MHz，Input duty cycle 60%時在 TT-SS-FF 環境

(A)Pre-simulation (B)Po-simulation

驗證在 900MHz 且 Input duty cycle 30%時可動作，如圖 3.4 所示，在 TT-SS-FF 環境中做 Pre-sim 與 Po-sim 模擬及比對，可得 Pre-sim duty cycle error TT:+0.6%、SS:+1%、FF:+0.67%；Po-sim duty cycle error TT:+0.6%、SS:+1%、FF:−0.3%:



(A)

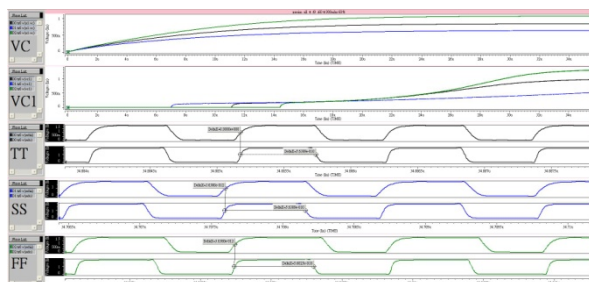


(B)

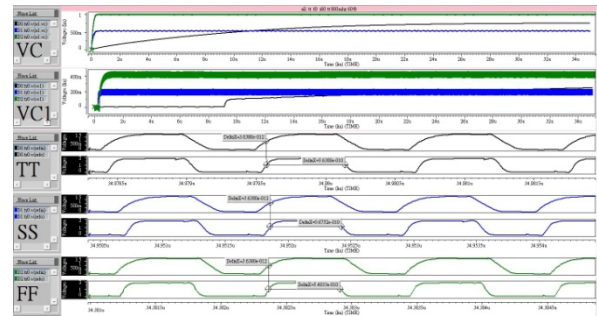
圖 3.4 頻率為 900MHz，Input duty cycle 30%時在 TT-SS-FF 環境

(A) Pre-simulation (B)Po-simulation

驗證在 900MHz 且 Input duty cycle 60%時可動作，如圖 3.5 所示，在 TT-SS-FF 環境中做 Pre-sim 與 Po-sim 模擬及比對，可得 Pre-sim duty cycle error TT:+0.6%、SS:+0.6%、FF:+0.4%；Po-sim duty cycle error TT:+0.6%、SS:+1%、FF:−0.6%:



(A)

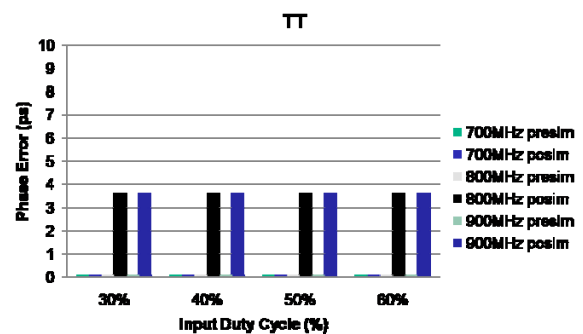


(B)

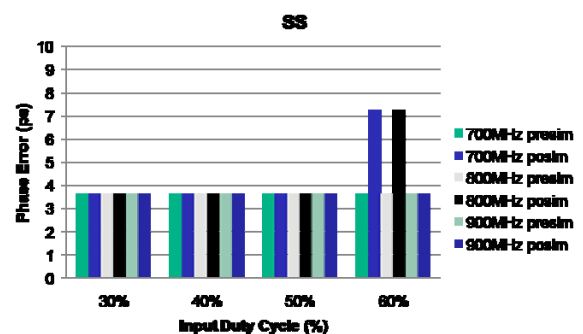
圖 3.5 頻率為 900MHz，Input duty cycle 60%時在 TT-SS-FF 環境

(A)Pre-simulation (B)Po-simulation

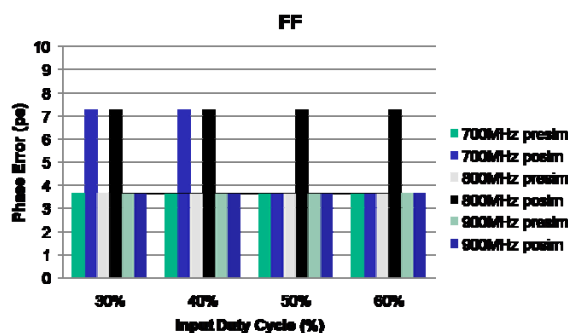
為做更精細的比較分析，針對 700MHz、800MHz、900MHz 作 Input duty cycle 30%、40%、50%、60% Pre-sim 與 Po-sim 的 Phase error、Duty cycle error 圖表分析，圖 3.6 為 Phase error 在 TT-SS-FF 環境圖表，此電路架構在 TT-SS-FF 環境中，Phase error 均在 8ps 以內。



(A)



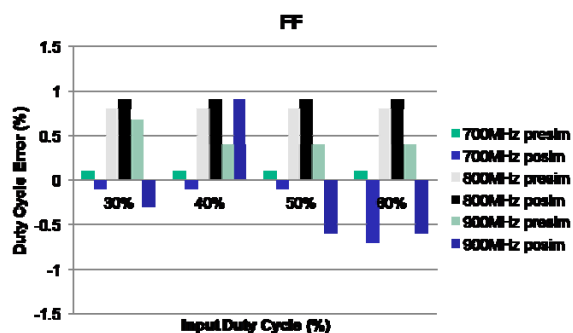
(B)



(C)

圖 3.6 Phase error 在 TT-SS-FF 環境

(A) TT (B) SS (C) FF

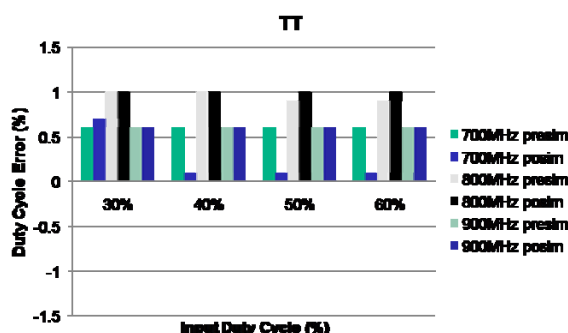


(C)

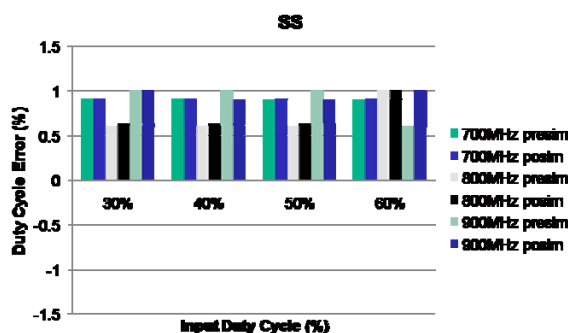
圖 3.7 Duty cycle error 在 TT-SS-FF 環境

(A) TT (B) SS (C) FF

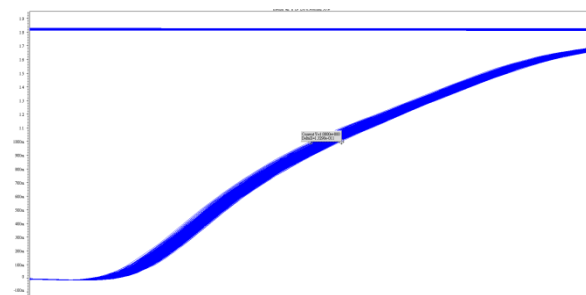
圖 3.7 為 Duty cycle error 在 TT-SS-FF 環境圖表，此電路架構在 TT-SS-FF 環境中，Duty cycle error 誤差值均在 $\pm 1\%$ 以內。



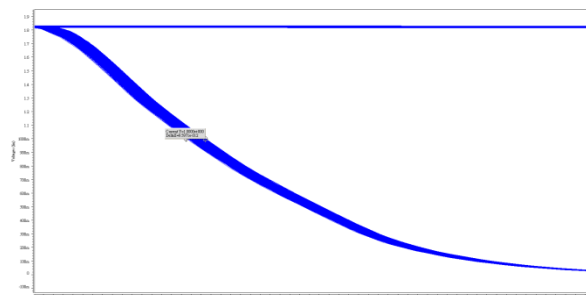
(A)



(B)



(A)



(B)

圖 3.7 Jitter po-sim 900MHz 量測

(A) Rising edge jitter 13.2ps (B) Falling edge jitter 9.5ps

Jitter Po-sim	Rising edge jitter	Falling edge jitter
900MHz	13.2ps	9.5ps
800MHz	19.8ps	9.2ps
700MHz	22.7ps	8.8ps

表 1 各頻率 Jitter 整理

4. Layout & Spec

此次電路使用 TSMC 0.18um 製程，layout 面積為 1.11mm×0.853mm，主要電路面積為 0.28mm×0.25mm，如圖 4.1 所示；操作頻率範圍 700MHz~900MHz，輸出訊號工作週期為 50±1%、相位誤差小於 8ps，整理如表 2；與各文獻比較於表 3。

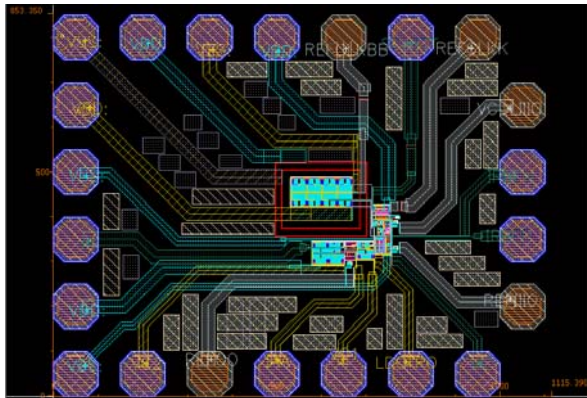


圖 4.1 Layout 圖

Specification	Pre-Simulation	Post-simulation
Technology	TSMC 0.18um Mixed-Signal RF 1P6M	
Supply Voltage	1.8V	
Frequency	700MHz~900MHz	
Chip size	0.853x1.11 mm ²	
Phase error	4ps	8ps
Power Consumption	81mW	86mW
Input duty cycle	30%~60%	
Out duty cycle	50% or less than ±1%	
Jitter	13.2ps @ 900MHz	

表 2 Spec 整理

SPEC.	Proposed	Paper [6]	Paper[7]	Paper[8]
Technology	0.18um CMOS	0.35um CMOS	0.13um CMOS	0.13um CMOS
Supply Voltage	1.8V	2.4~3.3V	1.8V	1.2V
Max. Frequency	900MHz	260MHz	500MHz	700MHz
Min. Frequency	700MHz	140MHz	60MHz	140MHz
Duty cycle of input clock	30% ~ 60%	30% ~ 70%	X	25% ~ 75%
50% duty cycle output	50±1%	50±0.6%	50±2%	50±1.6%
Phase error	<8ps	X	X	X
Jitter	13.2ps @ 900MHz	26.4ps @ 250MHz	25ps	29.2ps

X: no mentioned

表 3 文獻比較

參考文獻

- [1] A. Ghaffari, A. Abrishamifar, "A Wide-Range Delay-Locked Loop with a New Lock-Detect Circuit", Electronics Circuits and Systems on , 2006. ICECS'06. 13th IEEE International Conference, 10-13 Dec. 2006 Page(s):1168 – 1171.
- [2] B. G. Kim and L. S. Kim, "A 250 MHz-2-GHz wide-range delay-locked loop" IEEE J. Solid-State Circuits, vol. 40, no. 6, pp. 1310–1321, Jun. 2005.
- [3] Chi-Nan Chuang and Shen-Iuan Liu, "A 0.5–5-GHz Wide-Range Multiphase DLL With a Calibrated Charge Pump," IEEE Transaction on Circuits and Systems II: Express Briefs, vol. 54, no. 11, November 2007
- [4] Jae-Shin Lee, Min-Sun Keel, Shin-Ii Lim and Suki Kim, "Charge pump with perfect current matching characteristics in phase-locked loops," Electron. Lett., vol. 36, pp. 1970-1980, Nov. 2000
- [5] Sizhen Li, Xuecheng Zou, Xiaofei Chen*, Zhige Zou, Kai Yu and Hao Zhang., "A precise bandgap reference with intrinsic compensation for current-mirror," Circuits and System, 2008, APCCAS 2008, IEEE Asia Pacific Conference on 10.1109/APCCAS, 2008, 4746241
- [6] Y. J. Wang, S.K. Kao, and S. I. Liu, "All-Digital Delay-Locked Loop/Pulswidth-Control Loop With Adjustable Duty Cycles", IEEE J. Solid-State Circuits, vol. 41, no. 6, pp. 1262-1274, Jun. 2006
- [7] J. T. Kwak, C. Ki Kwon, K. W. Kim, S. H. Lee, J. S. Kih, "A low cost high performance register-controlled digital DLL for 1Gbps x32 DDR SDRAM," Symp. VLSI Circuits Dig. 17, pp. 283-284, Jun. 2003.
- [8] Byung-Guk Kim, Kwang-Il Oh, Lee-Sup Kim, and Dae-Woo Lee, "A 500MHz DLL with Second Order Duty Cycle Corrector for Low Jitter", IEEE CUSTOM INTEGRATED CIRCUITS CONFERENCE, pp. 325-328, 2005