

A Low Power and High Read Stability SRAM Cell Using Single-ended Bit-line

田子坤 副教授
南台科技大學 電子系
tktien@mail.stut.edu.tw

陳順智 副教授
南台科技大學 電子系
scchen@mail.stut.edu.tw

王建弘
南台科技大學 電子工程所
m9830112@webmail.stut.edu.tw

摘要

本論文提出一個單一條位元線 8T SRAM Cell 架構，主要改善功率消耗、延遲和靜態雜訊邊限(Static Noise Margin, SNM)。傳統 6T 架構 [1]，進行寫入或讀取資料時都會經過同一個存取電晶體(Access Transistor)元件，容易造成 SRAM cell 儲存點資料受到外部的干擾，導致讀取到錯誤的資料。本論文所提出的架構在寫入和讀取動作使用不同路徑，此方式能有效隔絕雜訊，避免 SRAM cell 儲存點資料在進行讀出動作時受到破壞，進而提升讀取穩定性(Read Stability)。實驗結果顯示，與 7T SRAM Cell [2]比較時，在平均功率消耗上可達到 10.5%之改善。在 SNM(Static Noise Margin)部份，改善讀取穩定性達到 21.3%，在電路延遲也能有效改善。

關鍵字：SRAM cell、SNM

Abstract

In this paper, we propose a single ended 8T SRAM cell to improve power consumption and Static Noise Margin (SNM). In traditional 6T SRAM cell [1], both the read and write operations are through the access transistors, which causes interference problems in storage nodes leading to read the wrong data during the read operation. In the proposed 8T SRAM cell, the data reading path is different from the

writing path. This method can effectively avoid the interference of noise in the storage nodes during the duration of read operation, and then enhance the read stability. The experimental results show that the power consumption has the improvement of 10.5% and the SNM has increased by 21.3% as compared with 7T SRAM Cell [2].

Keywords: SRAM Cell, power consumption, Static Noise Margin (SNM).

1.前言

近年來微處理機內部的快取記憶體容量漸漸增大，對於儲存容量的要求也越來越講究，一般為達到高速度之要求，通常快取記憶體大多以靜態任意存取記憶體(Static Random Access Memory, SRAM)設計。但隨著快取記憶體容量增大，也造成電路耗電量的提高，因此如何減輕 SRAM Cell 的功率消耗變得日益重要。根據文獻報告[3]，快取記憶體在做寫入資料時，位元線消耗 60%之整體記憶體的動態功率(Dynamic Power)。

一般最常被使用 SRAM Cell 是傳統 6T 架構，本身有一對位元線(Bit-line)。當寫入和讀取時，位元線透過相同 Access Transistor 傳遞到儲存點做存取動作，並且資料進行寫入和讀取採用相同路徑，由於資料儲存點對於電路雜訊是非常脆弱，因此易造成儲存點資料容易受

到破壞，影響到讀取資料的正確。因此本文提出單一位元線(Single-ended)之 SRAM cell 電路來降低功率消耗。同時在資料進行寫入和讀取時，是採用不同路徑之完成，因此進行讀取動作時，存放資料的儲存點與讀取路徑能夠被隔離，保證在讀取資料時不會破壞原本儲存資料之電壓準位，可保持資料的穩定性及有較高之 SNM。

2.8T SRAM 架構

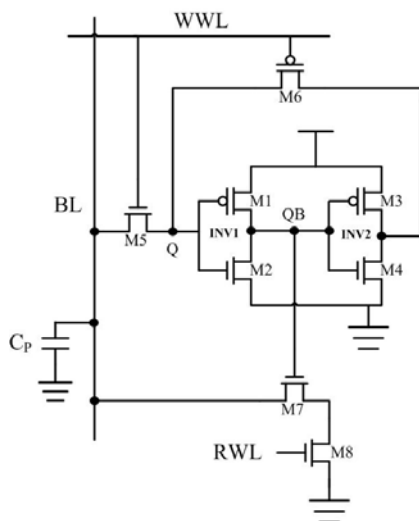


圖 1、Single-ended 8T SRAM Cell

本論文主要目標是降低功率消耗和提升讀取穩定性之靜態雜訊邊限(SNM)，因此提出一個Single-ended 8T SRAM Cell，如圖1所示，以達到降低功率消耗與提高Cell之SNM值之要求。此SRAM cell主要由兩個反向器(INV1、INV2)與回饋電晶體(Feedback Transistor)M6組成資料儲存單位，M5是控制寫入及M7、M8是控制讀取而構成完整8T的架構。在電路待命狀態(Standby)時，M5及M8為關閉(Turn off)，M6為導通(Turn on)，從Q點經過INV1儲存成QB，再經過INV2最後透過M6電晶體回饋到原本儲存點達到穩定的保存資料。在寫入資料時，M5導通而M6截止，因此資料很容易可寫入到Cell之Q點，且對於兩個反向器電晶體尺寸採取最小尺寸之對稱(Symmetrical)比例，而不必再加

大電晶體尺寸因減少可能造成功率消耗上的負擔。在讀取狀態時M5不導通，而M6及M8則維持在導通的狀態下，資料的讀取透過Cell中QB點儲存的訊號準位以決定位元線之電荷是否會經由M7及M8放電，而達到資料讀取之功能。下一章節將分別詳細敘述我們所提出之單一位元線SRAM cell的寫入和讀取的操作原理。

2.1 寫入操作(Write operation)

當寫入操作開始時，RWL(Read Word Line)為邏輯“0”，M8不導通。首先將位元線(BL)預充電(Pre-charge)到高電位後浮接，使得位元線電位在浮接高電位(Floating High)狀態。假如我們想要寫入0時，位元線會被進行放電到低電位(邏輯0)，然後WWL(Write Word Line)由0變為1，此時M5導通、M6關閉。透過M5從位元線寫入資料到Q點，使得Q點變為0，再讓INV1動作輸出QB點為1，完成寫入0的動作；反之若要將1寫入到Q點時，首先，位元線上之電位維持在浮接高電位。觸發WWL(Write Word Line)由0變為1後，透過M5從位元線寫入資料到Q點，使得Q點變為1，QB為0，完成寫入1的動作。在寫入過程中會透過M5電晶體傳遞到儲存點，因此尺寸之設計對於功率消耗有相當的影響。由於回饋電晶體M6在資料寫入期間並不導通，因此M5與兩個INV之電晶體皆可使用最小尺寸。

2.2 讀取操作(Read operation)

讀取操作前，位元線會先預充電到高電位結束後維持再浮接高電位狀態之後才會進行讀取的動作。當讀取操作開始時，WWL為邏輯“0”，M5關閉，M6導通，使得兩個反向器形成門鎖特性持續的保存資料。RWL為邏輯“1”，將控制M8導通。假如Q點儲存0時，則QB

點為1，將引起M7導通此時位元線透過M7、M8放電到低電位(GND)，形成位元線為低態，完成讀取低電位的動作；反之當Q點儲存為1，QB點為0，導致M7關閉狀態，這時位元線不會被放電保持高電位，因此讀取到邏輯1輸出。對於讀取控制M7、M8電晶體的尺寸需要足夠的推動能力來讀取儲存點資料，避免造成讀取輸出錯誤的訊號。

圖 2 是 8T SRAM Cell 寫入和讀取的波形動作，分別代表 CLK 在寫入和讀取之前做為位元線預充電的控制訊號，在 CLK 為低態位元線 BL 被預充電到高電位後，CLK 轉為高態使得位元線進入浮接狀態。WWL、RWL 是寫入和讀取字元線訊號，都在高態進行寫、讀動作。Q 點為資料儲存點，QB 點則是 Q 點的反相關係。

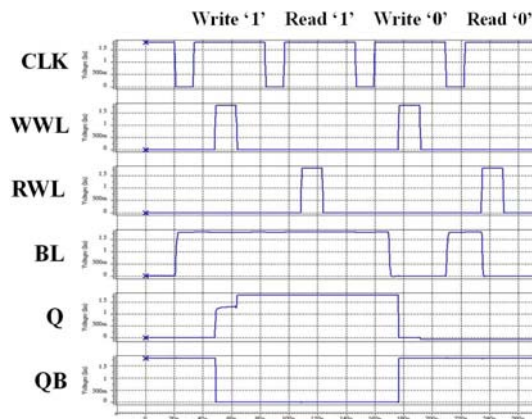


圖 2、8T Cell 寫入和讀取的波形動作

3. 模擬結果

針對我們所提出之 8T SRAM cell，我們測量其靜態雜訊邊限(SNM)、功率消耗(Power Consumption)和延遲(Delay)並與 7T SRAM Cell [2]做為比較。兩者電路使用的製程為 TSMC 0.18- μm CMOS Technology 及電壓源(Supply Voltage)提供 1.8V。

3.1 靜態雜訊邊限(SNM)

SNM 是測量 SRAM Cell 讀取穩定性的標準方法[4]，所謂 SNM 定義為 SRAM Cell 的狀態進行轉態之最小的直流雜訊電壓[5]。換句話說雜訊訊號超過可以容忍的資料範圍，儲存的內容就會被改寫造成讀取錯誤並且穩定性降低。SNM 測量出波形類似蝴蝶圖 (Butterfly Graph) 的造型，圖 3 為一個以 6T SRAM cell 所量測之 SNM 蝴蝶圖分析例子。測量出 SNM 的方法是在曲線內取得最大方塊測出 Noise Margin High (NM_H)、Noise Margin Low (NM_L) 的範圍 [6]。方程式 (1) 和 (2) 為 NM_H 、 NM_L 之定義。

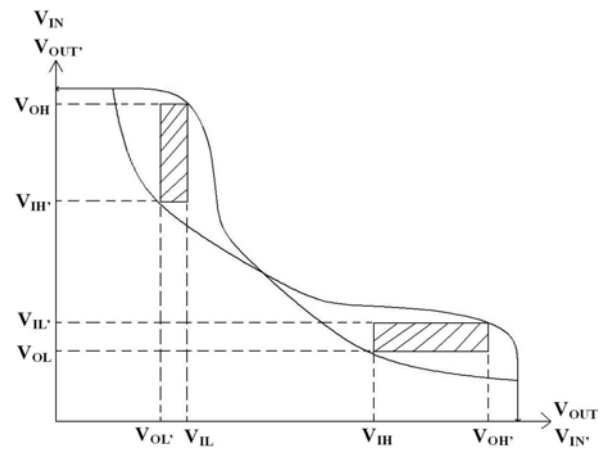


圖 3、分析 SNM 的蝴蝶圖

$$NM_H = V_{OH} - V_{IH}' \quad (1)$$

$$NM_L = V_{IL} - V_{OL}' \quad (2)$$

V_{OH} 是最小邏輯“1”輸出電壓， V_{OL} 是最大邏輯“0”輸出電壓， V_{IL} 辨識出邏輯“0”的最大輸入電壓， V_{IH} 辨識出邏輯“1”的最小輸入電壓。在公式 (1)(2) 的 V_{IH}' 、 V_{OL}' 中則是 V_{IH} 和 V_{OL} 反相關係。方程式 (3) 為由 NM_H 、 NM_L 得知算出 SNM 的公式。

$$SNM = \sqrt{NM_H^2 + NM_L^2} \quad (3)$$

我們所提出的 8T SRAM Cell 主要在做讀取動作時，位元線寫入儲存點的路徑和讀取資

料是完全隔離的，由於寫入會經過 Access Transistor(M5)作充放電動作，如果讀取再從 M5 回到位元線可能造成破壞讀取的資料，所以就由 M7 和 M8 負責讀取輸出，如此能確保資料不受破壞與提高讀取穩定性。圖 4 為本論文提出 8T SRAM Cell 的 SNM 曲線圖，橫軸為 Q 點電壓，縱軸為 QB 點電壓，本論文提出 8T SRAM Cell 的 SNM 其量測值為 0.903V。而圖 5 為 7T SRAM Cell[2]的 SNM 曲線圖，其 SNM 量測值為 0.744V。我們所提出之 8T SRAM Cell 架構較 7T SRAM Cell 改善讀取穩定性達到 21.3%。

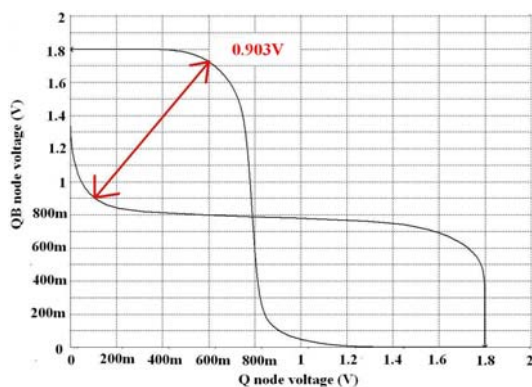


圖 4、8T SRAM cell 之 SNM 曲線圖

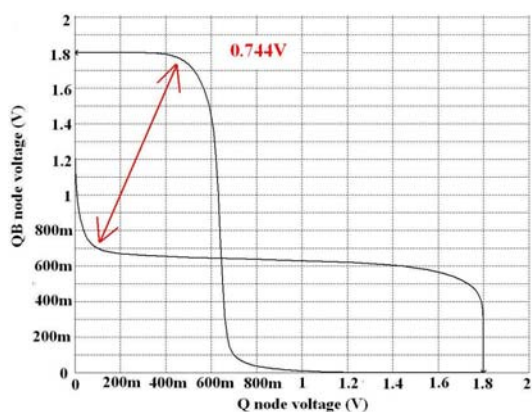


圖 5、7T SRAM cell[2]之 SNM 曲線圖

3.2 功率消耗(Power)和延遲(Delay)

在功率量測時，我們分別考慮平均功率消耗及寫入與讀出資料 0 與 1 之功率消耗。圖 6 是整體平均功率消耗，我們所提出之 8T SRAM cell 的平均消耗功率為 $3.865\mu\text{W}$ 比 7T SRAM cell 的 $4.317\mu\text{W}$ 改善功率消耗 10.5%。

表 1 分別列出測量出寫入和讀出的功率消耗結果，本文測量寫入功率消耗方式是從寫入(WWL)訊號開始到寫入結束，而讀取功率消耗是從讀取(RWL)訊號開始到讀取結束。在讀取高電位時，因進行讀取前需要將位元線預充電到高電位之後再做讀取動作，因此讀取到的電位跟位元線是等同，因而對於功率消耗能大幅的降低。

表 2 是整體的寫入和讀出延遲速度比較。寫入延遲測量方式是從寫入(WWL)訊號的開始到資料存到儲存點結束，而讀取部份是從讀取(RWL)訊號開始到位元線讀出資料結束。

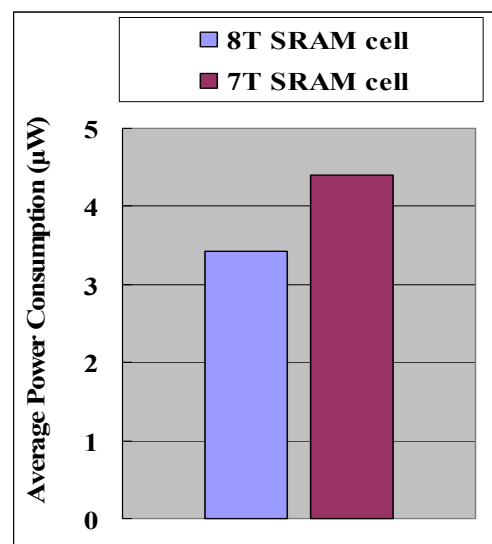


圖 6、提出 8T 和 7T 比較平均功率消耗

表 1 8T SRAM cell和7T SRAM cell寫入與讀出功率消耗比較

	8T	7T	Improvement (%)
Write 1 (μ W)	1.31	7.35	82.1
Write 0 (μ W)	1.53	2.22	31.1
Read 1 (μ W)	0.031	0.046	32.6
Read 0 (μ W)	2.75	5.72	51.9

表 2 寫入與讀出8T SRAM cell和7T SRAM cell延遲比較

	8T	7T	Improvement (%)
Write Delay (n S)	16.94	29.82	43.1
Read Delay (n S)	42.33	147.74	71.3

圖 7、圖 8 和圖 9 分別是Traditional 6T、7T and 8T SRAM cell layout。三者面積比例上 $5.96 \times 5.22 \mu\text{m}^2$ 、 $6.87 \times 5.16 \mu\text{m}^2$ 和 $6.27 \times 5.32 \mu\text{m}^2$ ，本論文 8T SRAM cell layout比Traditional 6T多 7.2%，7T少 5.8%。

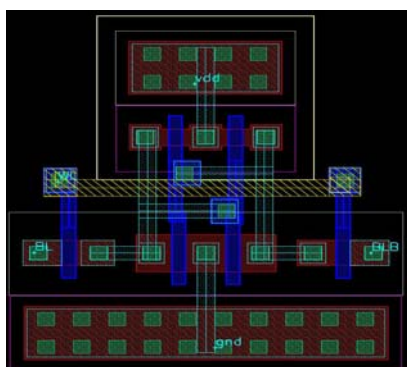


圖 7、Traditional 6T SRAM cell layout.

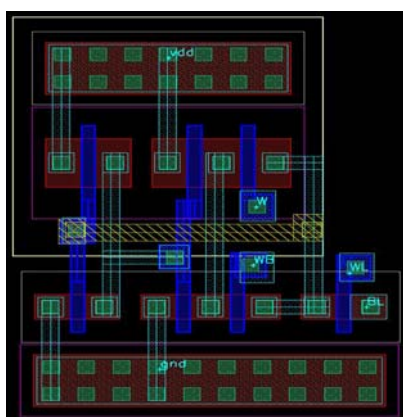


圖 8、7T SRAM cell layout [2].

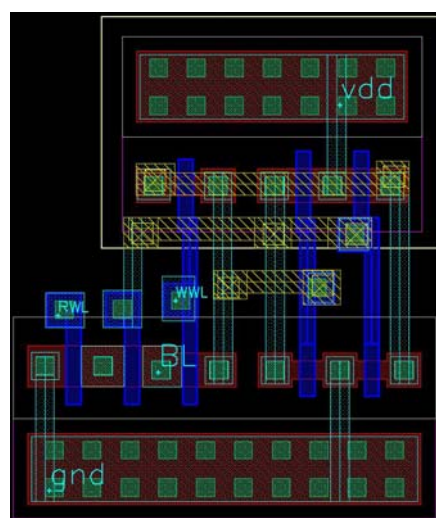


圖 9、8T SRAM cell layout.

4.結論

本論文提出 Single-ended 8T SRAM Cell，採取寫、讀路徑個別傳遞方式，可有效降低功率和增加讀取的穩定性，因寫入資料到儲存點不會經過讀取的路線而寫讀資料可以被隔離不受雜訊的干擾使SNM提升21.3%穩定及整體的功率消耗進一步降低。

參考文獻

- [1] Azam, T., Cheng, B., Cumming, D.R.S. and Roy, S., “Robust asymmetric 6T- SRAM cell for low-power operation in nano-CMOS

- technologies,” ***Electronics Letters***, Vol. 46, No. 4, pp. 273-274, 2010.
- [2] Mohanty, S.P., Mathew, J., Pradhan, D.K. and Singh, J., “A Subthreshold Single Ended I/O SRAM Cell Design for Nanometer CMOS Technologies,” ***IEEE International SOC Conference***, pp. 243-246, 2008.
- [3] Aly, R.E. and Bayoumi, M.A., “Low - Power Cache Design Using 7T SRAM Cell,” ***Circuits and Systems II: Express Briefs, IEEE Transactions***, Vol. 54, No. 4, pp. 318-322, 2007.
- [4] E. Seevinck, F. J. List and J. Lohstroh., “Static-Noise Margin Analysis of MOS SRAM Cells,” ***IEEE Journal of Solid-State Circuits***, Vol. 22, No. 5, pp. 748-754, 1987.
- [5] A. Bhavnaganwala, J. D. Meindl and X. Tang., “The Impact of Intrinsic Device Fluctuations on CMOS SRAM Cell Stability,” ***IEEE Journal of Solid-State Circuits***, Vol. 36, No. 4, pp. 658-665, 2001.
- [6] Andrei Pavlov and Manoj Sachdev., ***CMOS SRAM Circuit Design and Nano- scaled Technologies : Process - Aware SRAM Design and Test***, Springer Verlag, 2008.