

5.38GHz 差動對考畢子四相位壓控振盪器

陳鳳美

龍華科技大學電子工程系副教授
chm@mail.lhu.edu.tw

陳家振

龍華科技大學電子工程系研究生
Jason-Chen1022@hotmail.com

摘要

本文中介绍一个使用 TSMC 0.18- μ m CMOS 1P6M 技术来实现一个 5.38GHz 的差动对考毕子 (Colpitts) 四相位压控振荡器 (QVCO)。在差动对考毕子架构下, 本电路有低相位杂讯与宽可调频率范围的表现。其架构是利用两组考毕子压控振荡器组合设计而成, 进而产生四个正交输出信号。最后模拟结果在 1.2V 供应电压下, 振荡频率为 5.38GHz, 在偏移 1MHz 所得到之相位杂讯为 -117.9dBc/Hz。效能指数 (figure of merit; FoM) 为 -183.9dB。电路整体消耗功率为 8.73mW, 频率可调范围为 593MHz。

关键词: 四相位压控振荡器 (QVCO)、差动对、考毕子、低相位杂讯。

1.前言

在现今无线通讯的蓬勃发展下, 制程的技术改变得相当快。对于射频接收端与发射端的电路影响非常大。在目前这领域下, 为了成本的考量, 多半希望将电路整合使得面积缩小, 因此积体电路应用在无线通讯 (Radio Frequency, 简称 RF) 也愈来愈普遍, 同时也希望能有更多的功能, 在积体电路设计上 [1], 必须考量几个效能重点, 如: 低供应电压、低功率消耗、低相位杂讯 [2]。也由于无线通讯技术广泛的被应用, 因此工作频率也相对的越来越高, 而在射频收发机 (transceiver) 的系统中的电路设计, 也变得越困难。在通信以及讯号处理系统中, 振荡器是射频收发器 (RF transceiver) 电路中提供本地振荡讯号 (LO signal) 的关键元件, 因为收发前端需要振荡讯号来进行调变或解调的工作, 本地振荡器所提供之讯号的好坏对整体射频收发机系统的影响很大, 所以使振荡器效能提升是我们努力的方向。

我们以直接降频接收机 (direct conversion) 来说明正交的重要性, 当天线接收到微弱讯号后, 由频带选择滤波器 (band select filter) 作频带的选择, 再透过低杂讯放大器 (LNA) 将讯号放大并抑制 noise, 交由正交混波器 (quadrature mixer) 跟产生正交讯号的本地振荡器 (local oscillator) 的振荡讯号作混波降频后, 进而产生中频 (Intermediate-Frequency) 信号给滤波器 (band pass filter) 来做频道选择; 其中正交讯号的本地振荡器即由四相位压控振荡器 (quadrature voltage control oscillator, QVCO) 来产生同相 (in phase) 讯号, 称为 I, 和正交相 (quadrature phase) 讯号, 称为 Q。因此在降频时, 本地振荡器的好坏, 将影响到所接收到的讯号, 若振荡器之频率偏移, 或者相位杂讯不佳等将破坏了星座分佈图 (constellation diagrams) 而增加位元错误率 (bit error rate), 无法解调出正确的讯号, 所以如何设计出准确的四相位压控振荡器成了最大的挑战。

2.研究方法與成果

2.1 QVCO 設計方法

四相位讯号之产生: 一般在收发机 (Transceiver) 中, 为了配合 IQ 解调及镜像消除, 需要一个能产生四相位的信号源。图 2.1 为一产生四相位信号之压控振荡器。它是由两个相同的差动振荡器, 藉由耦合 (couple) 电晶体 M_{N3} 、 M_{N4} 、 M_{N7} 、 M_{N8} , 产生四相位的信号。

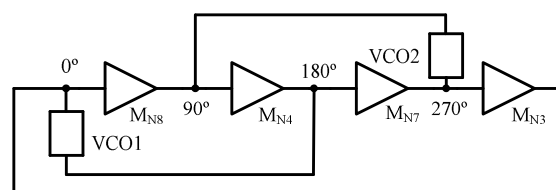


图 2.1 正交输出压控振荡器之原理

产生四相位 (Quadrature) 输出架构: 在传统

四相位壓控振盪器(Quadrature VCO)的設計，採用的設計方式如圖 2.2 所示之 parallel QVCO(P-QVCO)的架構來產生四相位訊號的輸出。

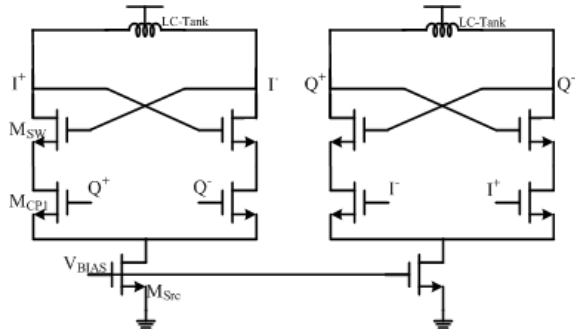


圖 2.2 parallel QVCO 電路

但由於多加入了四個 MOS(M_{CP})來達到四相位輸出，導致於 MOS 本身的熱雜訊、通道熱雜訊、閃爍雜訊($1/f$ 雜訊)，進而影響到整體電路的相位雜訊(phase noise)和消耗功率(power dissipation)的大幅增加。

圖 2.3 為 bottom-series QVCO(BS-QVCO)電路架構，會大大改善圖 2.2 的架構中 M_{CP} 對 LC-tank 所產生之雜訊，並比其他耦合架構有更低的 phase noise，且此架構對於整體電路的不安定所產生的相位誤差(phase error)是非常的地不靈敏的，因此這是一種較佳產生四相位信號的電路架構。

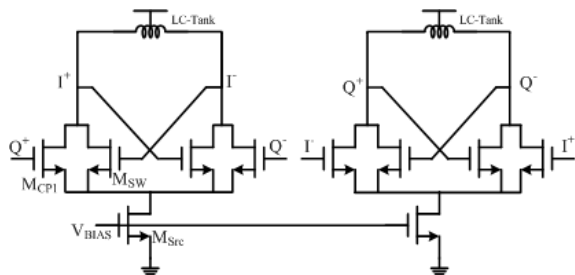


圖 2.3 BS-QVCO 電路

2.2 電路架構

在基本的振盪電路中，最簡單的架構之一就是大家所熟知的 Colpitts 振盪器(圖 2.4)，只需要一個主動元件(電晶體)和三個被動元件(一個電感和兩個電容)，即可產生振盪訊號。

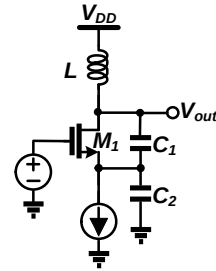


圖 2.4 傳統 Colpitts 振盪器

但由於傳統 Colpitts 振盪器架構較不容易起振，通常需要較高的功率消耗，因此需從電路上改善此缺點，如圖 2.5 所示之 Differential Colpitts VCO 架構來提升起振條件。

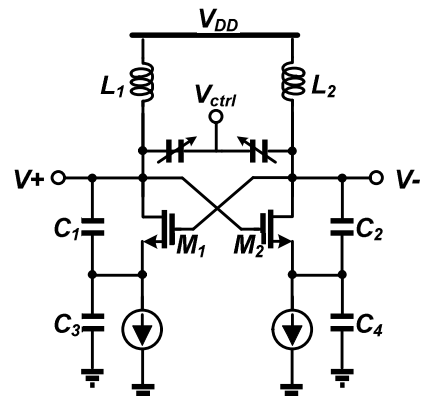


圖 2.5 Differential Colpitts VCO

從圖 2.4 傳統 Colpitts 振盪器之的 drain 端看入的小訊號導納(gm)並取實數部份可得

$$\text{Re}[Y_{in}] = -\frac{g_m \omega^2 C_1 C_2}{g_m^2 + \omega^2 (C_1 + C_2)^2} \quad (2.1)$$

而從圖 2.5 Differential Colpitts VCO 的 drain 端看入的小訊號可得

$$Y_{in} = \frac{s^2 C_1 C_2 - g_m s C_2}{g_m + s(C_1 + C_2)} \quad (2.2)$$

再將(1、2 式)分別取實數和虛數部份可得

$$\text{實數 Re}[Y_{in}] = -\frac{g_m \omega^2 C_2 [2C_1 + C_2]}{g_m^2 + \omega^2 (C_1 + C_2)^2} \quad (2.3)$$

$$\text{虛數 Im}[Y_{in}] = j \frac{\omega^3 C_1 C_2 [C_1 + C_2] - g_m^2 \omega C_2}{g_m^2 + \omega^2 (C_1 + C_2)^2} \quad (2.4)$$

比較(2.1 式)和(2.3 式)之後可以得知，Differential Colpitts VCO 的 gm 較傳統 Colpitts

振盪器多了 $(2+C2/C1)$ 倍，可降低整體電路的起振之消耗功率。再來為了增加頻率可調範圍，加入了一組 2 位元數位調變的電容(圖 2.6)，用粗調方式來達到增加頻寬的效果，完整電路如圖 2.7 所示。

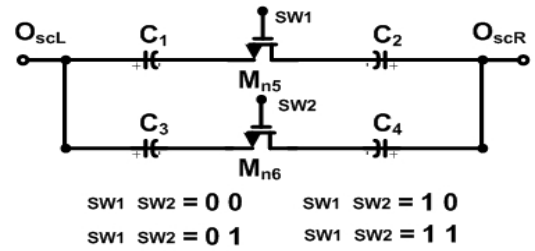


圖 2.6 具數位控制電容器(2-bit Cap-bank)

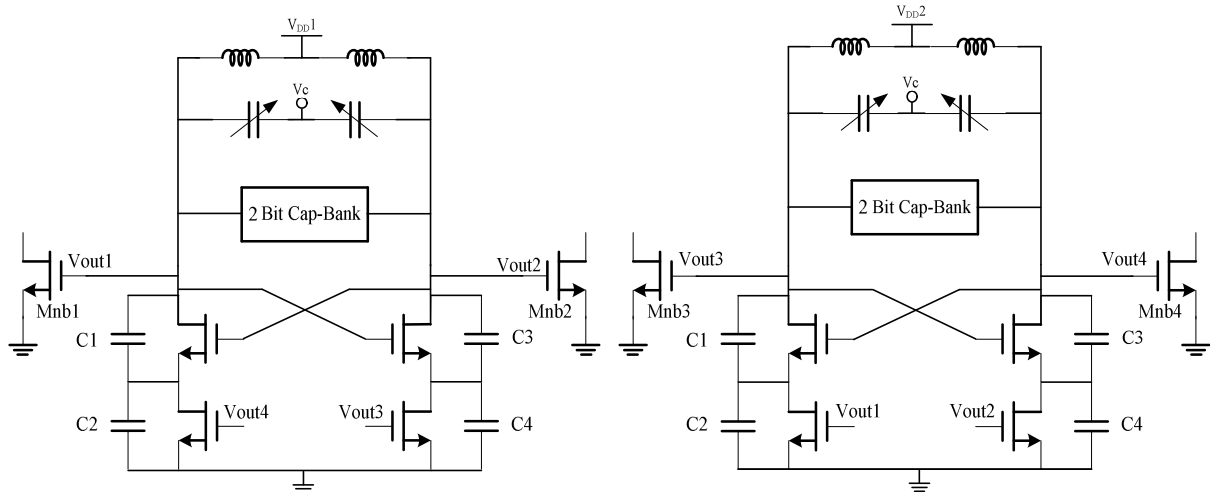


圖 2.7 改良型 Differential Colpitts QVCO

2.3 模擬結果

圖 2.8 為輸出暫態模擬結果，圖 2.9 為輸出頻譜模擬結果，圖 2.10 為相位雜訊模擬結果，在 offset frequency 為 1MHz 時之 phase noise 為 -117.9dBc/Hz。圖 2.11~圖 2.14 為頻率對控制電壓的模擬結果。其中控制電壓為 0~1.2V 以及 2 位元數位調變控制的 0V 與 VDD 切換，模擬之可調頻寬為 593MHz。圖 2.15~圖 2.18 為輸出功率對控制電壓變化之模擬圖。模擬結果經整理後如表 1 所示。本論文與其他論文比較結果如表 2 所示。

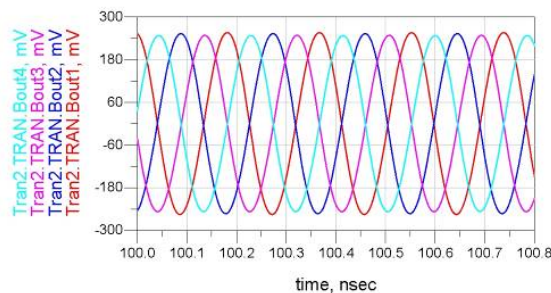


圖 2.8 輸出暫態模擬結果

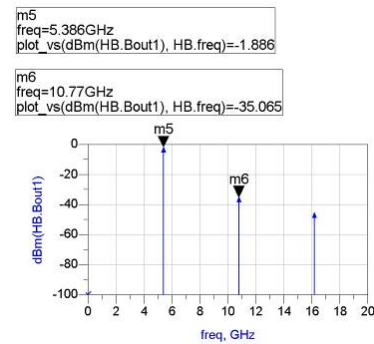


圖 2.9 輸出頻譜模擬結果

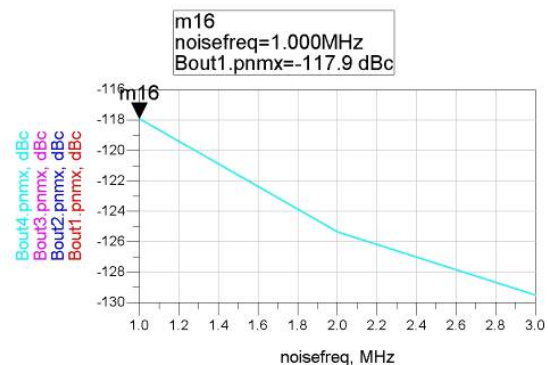


圖 2.10 輸出相位雜訊模擬結果

SW1=0V ; SW2=0V

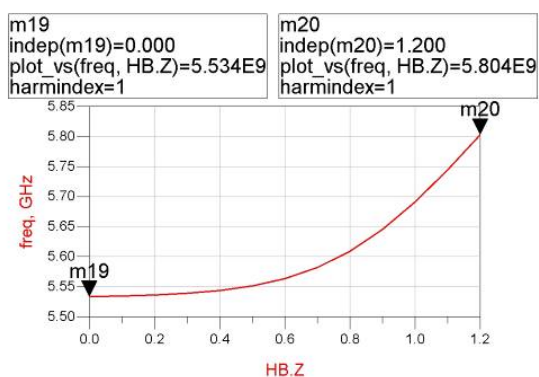


圖 2.11 頻率對調變電壓模擬結果

SW1=0V ; SW2=0V

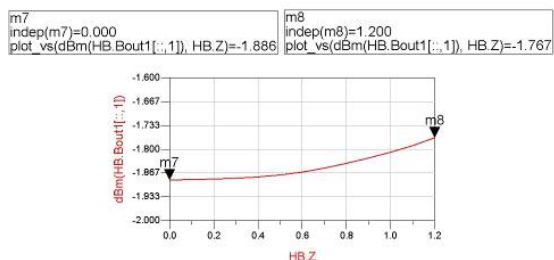


圖 2.15 輸出功率對調變電壓模擬結果

SW1=0V ; SW2=1.2V

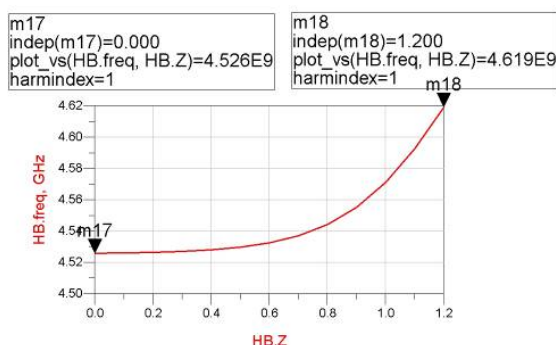


圖 2.12 頻率對調變電壓模擬結果

SW1=0V ; SW2=1.2V

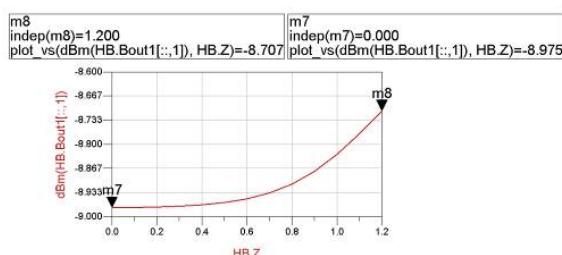


圖 2.16 輸出功率對調變電壓模擬結果

SW1=1.2V ; SW2=0V

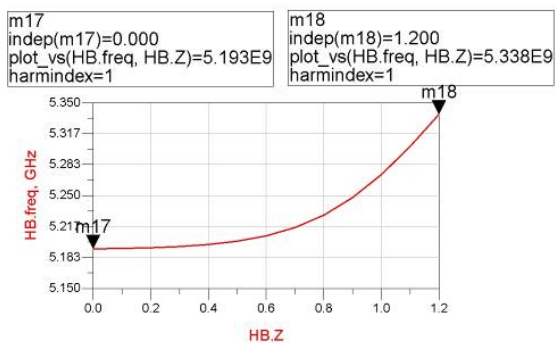


圖 2.13 頻率對調變電壓模擬結果

SW1=1.2V ; SW2=0V

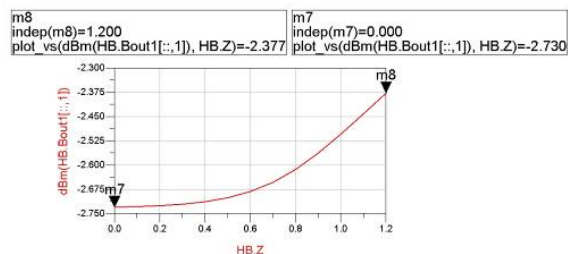


圖 2.17 輸出功率對調變電壓模擬結果

SW1=1.2V ; SW2=1.2V

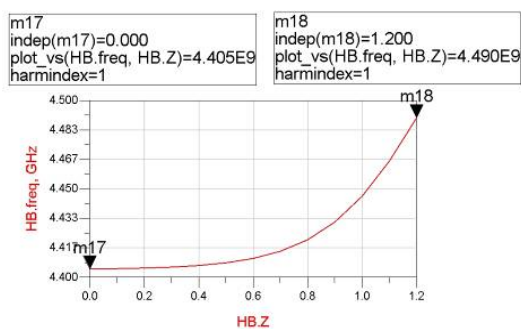


圖 2.14 頻率對調變電壓模擬結果

SW1=1.2V ; SW2=1.2V

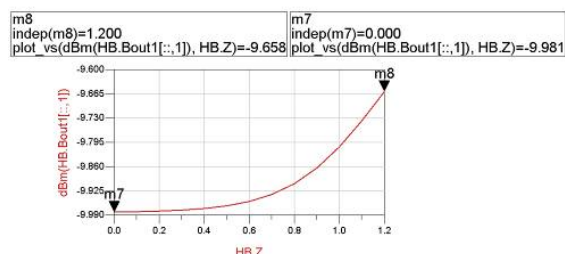


圖 2.18 輸出功率對調變電壓模擬結果

2.4 佈局

完整電路佈局，如圖 2.19，電路佈局面積為 1.130 x 0.550 mm²，所有的元件皆是使用 TSMC 所提供之 RF model。

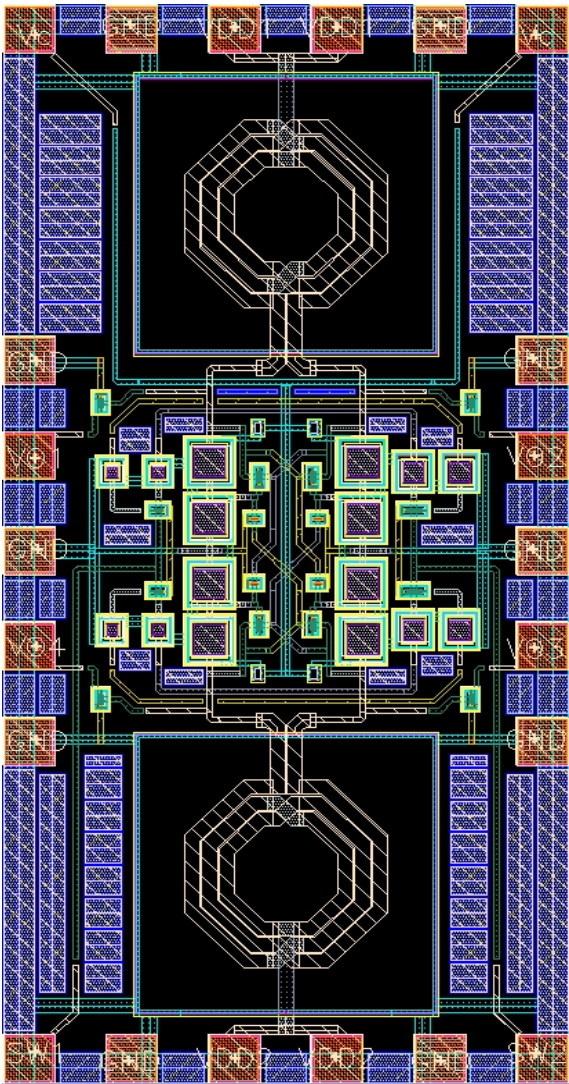


圖 2.19 完整電路佈局圖

表 1 預計規格表

	Pre-Sim	Post-Sim
供應電壓	1.2V	1.2V
中心頻率(GHz)	5.57	5.38
電壓可調範圍	0V ~1.2V	0V ~1.2V
頻率可調範圍 (GHz)	0.447(8%)	0.593(11%)
輸出功率(dBm)	-1.987	-1.886
消耗功率(mW)	8.7	8.7
相位雜訊@ 1MHz(dBc/Hz)	-117.4	-117.9
core 電流(mA)	7.28	7.28
FOM _a @ offset 1MHz(dB)	-182.9	-183.1
FoM _b @ offset 1MHz(dB)	-181	-183.9

$FoM_a \equiv L\{\Delta f\} + 10\log P_{DC} - 20\log\left(\frac{f_{osc}}{\Delta f}\right)$ [6]Where $L\{\Delta f\}$ is the Phase Noise@1MHz.

$FoM_b \equiv FoM_a - 20\log\left(\frac{FTR}{10}\right)$ [7]Where FTR is the frequency tuning range of the percent.

表 2 本論文與其他論文比較表

	Ref.[3]	Ref.[4]	Ref.[5]	This work
Process(μm)	0.18	0.18	0.18	0.18
供應電壓(V)	1.8	1.8	1.8	1.2
中心頻率(GHz)	6	5.94	5.6	5.38
消耗功率(mW)	3.24	8.44	21.6	8.7
頻率可調範圍 (GHz)	0.3 (5%)	0.84 (14%)	0.33 (5.5%)	0.593 (11%)
相位雜訊@ 1MHz(dBc/Hz)	-106	-101	-113	-117.9
FoM _a @ offset 1MHz(dB)	-176.7	-167.3	-174.6	-183.1
FoM _b @ offset 1MHz(dB)	-166.2	-169.9	-169.4	-183.9

3.結論 (Conclusions)

本次論文專題實現了低相位雜訊以及寬可調頻率範圍的目標，在 Differential Colpitts 架構下，確實可以降低相位雜訊。另外我們利用一組 2 位元數位調變的電容，加大頻率可調範圍。在此設計中頻率可調範圍有 0.593GHz，增加應用之頻帶。由模擬結果得知在 1.2V 電源供應下，在偏移振盪頻率 1MHz 的相位雜訊是 -117.9dBc/Hz，總消耗功率是 8.7mW，效能指數(FoM_b)為 -183.9dB。此電路是使用 TSMC 標準的 0.18-μm 1P6M CMOS 製程技術來製作。

4.誌謝 (Acknowledgement)

本篇論文作者感謝財團法人國家實驗研究院晶片設計中心(CIC)與台灣積體電路公司(TSMC)在晶片製作上的協助，沒有他們幫助此項研究是無法完成的。

參考文獻

- [1] B. Razavi, **RF Microelectronics**, Prentice Hall, Upper Saddle River NJ, 1998.
- [2] B. Razavi, "A study of phase noise in CMOS oscillators," **IEEE J. Solid-State Circuits**, vol. 31, no. 3, pp. 331–343, Mar. 1996.
- [3] H. Shin, Z. Xu, and M. F. Chang, "A1.8V6/9 GHz switchable dual-band Quadrature LC VCO in SiGe BiCMOS technology," **Radio Frequency Integrated Circuits (RFIC) Symposium, 2002 IEEE**, pp. 71 – 74, Jun. 2002.
- [4] Tsung-Chan Wu and Ching-Yuan Yang, "A Transformer-Feedback Quadrature Voltage Controlled Oscillator Using a Trans conductance Tuning Technique," **Electron Devices and Solid-State Circuits**, pp. 449 – 452, Dec. 2007
- [5] Hwan-Mei Chen, You-Da Jhuang, Jia-Cing Lin, S. L. Jang, Member, IEEE, "A 5.6 GHz Balanced Colpitts QVCO With Back-gate Coupling Technique," **Electron Devices and Solid-State Circuits**, pp. 965 - 967, Dec. 2007
- [6] Zhenbiao Li and Kenneth K. O, "A low-phase-noise and low-power multiband CMOS voltage controlled oscillator," **IEEE J. Solid-State Circuits**, vol. 40, pp. 1296-1302, Jun. 2005.
- [7] J. Kim, J. Plouchart, N. Zamdmer, M. Cherony, Y. Tan, M. Yoon, R. Trzcinski, M. Talbi, J. Safran, A. Ray, and L. Wagner, "A power-optimized widely-tunable 5-GHz monolithic VCO in a digital 801 CMOS technology on high resistivity substrate," in Proc. **ISLPED**, pp. 434-439, 2003