

# 比流器飽和電流修正演算法與 RTL 硬體架構設計 Algorithm for Correction of CT Saturation Current and Its RTL Hardware Architecture Design

陳佳明

Chia-Ming Chen

長榮大學 經營管理研究所

台灣 台南縣

Graduate School of B.O.M

Chang Jung Christian University

Tainan, Taiwan, R.O.C.

e-mail : [amin212@msn.com](mailto:amin212@msn.com)

林穎宏

Ying-Hong LinX

長榮大學 科技工程管理學系

台灣 台南縣

E.& M. of Advanced Technology Dept.

Chang Jung Christian University

Tainan, Taiwan, R.O.C.

e-mail : [inhon@mail.cjcu.edu.tw](mailto:inhon@mail.cjcu.edu.tw)

## 摘要

本文提出比流器飽和電流修正演算法與 RTL 硬體架構設計，演算法中使用離散小波轉換以萃取特徵以判定比流器飽和發生，此後，藉由比流器無飽和時之電流取樣值，使用最小平方誤差法以估測電流之數學模型參數，可於比流器飽和時以波形合成方式產生電流波形以修正飽和電流，利用 Matlab/Simulink 模擬結果顯示可大幅修正比流器飽和所造成之電流誤差。此外，本文中設計此演算法之 RTL 硬體架構，使用 VHDL 建模後以 Modelsim 模擬器進行功能模擬驗證，未來可合成於 FPGA 以達所提演算法於即時性應用之速度要求。

**關鍵詞：**離散小波轉換、比流器飽和電流修正、最小平方誤差法、VHDL、RTL 硬體架構

## Abstract

This paper presents an algorithm for correction of CT saturation current and its RTL hardware architecture design. In the proposed algorithm, Discrete Wavelet Transform is used to extract the features in the CT current for identifying the occurrence of CT saturation. Thereafter, the samples of unsaturated current are used to estimate the parameters of mathematic model through Least Square Error method. Furthermore, the estimated parameters are utilized to synthesize the current waveform for correcting the saturated current during the

period of CT saturation. Simulations by Matlab/Simulink simulator show that the proposed algorithm is effective to reduce significantly the error of secondary current caused by CT saturation. Besides, a RTL hardware architecture design for this algorithm is presented in this paper also. The design is modeled through VHDL. And, Modelsim simulator is used to perform functional verification. In the future, the presented hardware design will be synthesized into FPGA to meet the speed requirement for real-time application of the proposed algorithm.

**Keywords:** Discrete Wavelet Transform, Correction of CT Saturation Current, Least Square Error method. RTL hardware architecture, VHDL

## 1. 前言

現代電力系統中運用數位技術與複雜的演算法於數位保護電驛中，數位保護電驛之整體效能與所取樣的電壓與電流信號之品質有密切的關連性。當電力系統中輸電線發生故障且故障地點靠近匯流排時，此時比流器(Current Transformer, CT)通常承受遠大於額定的電流，且電流中通常含有大量的指數衰減直流成分(Exponentially decaying DC offset)，如此易造成 CT 飽和，進而扭曲變形 CT 之二次側電流。此飽和將使匯流排差動保護電驛發生誤動

作，或使一使用電流相量的測距電驛 (Distance relay) 產生過區間 (Over-reach) 及欠區間 (Under-reach) 問題。

CT 飽和問題是因鐵心的非線性激磁曲線所引起，欲修正 CT 飽和電流，需先正確偵測 CT 飽和期間，並針對飽和期間的飽和電流進行修正，對於比流器飽和之偵側，過去已有許多文獻發表[4-7]，文獻[4]利用比流器飽和開始時電流會突然改變之事實，並假設電流會降為零以偵測 CT 飽和，此方法對於使用低通濾波器做為 anti-aliasing filter 或是飽和後電流沒有突然降為零之情況，其偵測上就存在許多困難，文獻[5]利用比流器二次側電流之第三次差量以偵測 CT 飽和的發生，其基於比流器飽和發生時之二次側電流會產生一明顯之轉折點，文獻[6]利用比流器二次側電流以計算比流器鐵心之磁通以偵測飽和的發生，其須以精準的 CT 激磁曲線作為基礎，文獻[7]計算二次側電流的誤差平均值與變異數以偵測變流器飽和的發生。文獻[8]針對匯流排保護提出一使用阻抗量測的方式以偵測比流器飽和，其假設於 CT 飽和期間的 BH 曲線為平行於 H 軸，使用電壓增量與電流增量以計算從電驛端看入系統的源阻抗 (Source impedance) 會趨近無窮大，以此判定 CT 飽和的發生。

對於比流器飽和補償，文獻[9,10]使用 CT 的二次側電流之二次差分以偵測飽和之開始，並計算此時的激磁電流後，利用 CT 激磁曲線以得到鐵心磁通量作為飽和開始之初始磁通量，此後利用所量測之飽和電流計算鐵心磁通量，並對應至激磁曲線以得飽和時的激磁電流，利用此激磁電流以補償飽和時的二次側電流，其須有一精準的 CT 激磁曲線。文獻[11]利用迴歸 (Regression) 技術於未飽和之二次側電流以估測電流模型進而補償飽和電流，其需大量之計算故無法應用於即時環境，文獻[12]使用類神經網路以補償飽和電流，其訓練類神經網路時，主要考量點為二次側電流中的指數衰減直流成分之時間常數，所提出之方法實現於一數位訊號處理晶片以達即時性應用所需。

CT 飽和電流修正於實際應用時須為即時性，使用硬體方式實現為一可行的方式，近年來由於 EDA (Electronic design automation) 工具的進步，藉由硬體描述語言 (Hardware description language, HDL) 之設計輸入方式已成為數位系統設計之主流。在半導體製程技術的快速提升下，現場可程式邏輯閘陣列 (Field Programmable Gate Array, FPGA) 具有高容量、

速度快、可重複規劃的優點，適合各式演算法之硬體實現以達即時性應用之速度需求，且各家 FPGA 廠商提供一方便且便宜的設計軟體工具，使數位電路設計與實現更趨於方便 [13-16]。文獻[17]使用 FPGA 實現電力系統中干擾的偵測演算法以達即時性應用，文獻 [14-18] 中使用 FPGA 實現各式數位保護電驛以提升其效能。

本文首先發展 CT 飽和電流修正演算法與電腦模擬驗證，之後，利用硬體描述語言進行演算法的 RTL 硬體架構建模與功能模擬，將來可合成於 FPGA 上進行功能與時序模擬，以完成符合即時性應用所需計算速度之硬體設計。

## 2. 比流器飽和電流修正演算法

圖 1 為本文發展之 CT 電流修正演算法應用之示意圖，其將因 CT 飽和而扭曲之二次側飽和電流修正以提供正確之故障電流給數位保護電驛，進而提高數位保護電驛之可靠度。

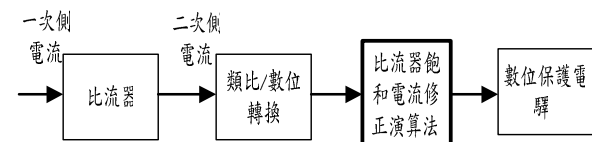


圖 1 CT 飽和偵測與飽和電流修正演算法應用之示意圖

圖 2 為 CT 飽和電流修正演算法流程圖，CT 之二次側電流取樣率為每週期 256 點 (電流訊號頻率為 60 Hz, 取樣率為 256\*60 點/秒)，CT 因其非線性激磁曲線，故於飽和開始與結束時，二次側電流有一明顯轉折點發生。因此可利用小波轉換 (Wavelet Transform, WT) 以萃取 CT 二次側電流於飽和開始與結束時之特徵，進而判定 CT 是否處於飽和狀態，如 CT 處於非飽和狀態則直接將二次側電流降取樣 (Down Sampling) 成為每週期 64 點輸出，如 CT 處於飽和狀態，則使用未飽和時的二次側電流以最小誤差平方法以估測電流之數學模型的參數，並利用估測之參數以合成修正後的二次側電流並輸出。

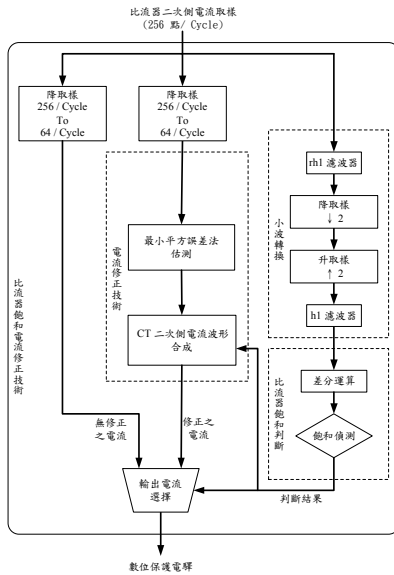


圖 2 比流器飽和電流修正演算法流程圖

## 2.1 比流器飽和偵測

小波轉換因具有良好的時間與頻率分解特性，因此被廣泛的應用於電力系統中的暫態訊號分析[29-32]。本文使用離散小波轉換以萃取特徵進而判定比流器飽和發生。

### 2.1.1 小波轉換介紹

離散小波轉換藉由基本小波函數(Wavelet Function)  $\psi(t)$  及尺度函數(Scaling Function)  $\phi(t)$  之平移與縮張來對取樣訊號進行分解，基本小波函數  $\psi(t)$  與尺度函數  $\phi(t)$  符合以下(1)、(2)式之二界關係(Two-Scale Equation)

$$\psi(t) = \sum_n h_1(n) \sqrt{2} \phi(2t-n) \quad (1)$$

$$\phi(t) = \sum_n h_0(n) \sqrt{2} \phi(2t-n) \quad (2)$$

其中係數  $h_0(n)$  與  $h_1(n)$  表示一數位濾波器係數以求解(1)與(2)式，它們的關係如下式(3)式所示：

$$h_1(n) = (-1)^n h_0(1-n-1) \quad (3)$$

式中  $l$  為濾波器長度。

利用以上之基本小波函數與尺度函數可得一組正交基底如下：

$$\psi_{j,k}(t) = 2^{j/2} \psi(2^j t - k) \quad j, k \in Z \quad (4)$$

$$\phi_{j,k}(t) = 2^{j/2} \phi(2^j t - k) \quad j, k \in Z \quad (5)$$

其中  $j$  控制基底之縮張， $k$  控制基底之平移。

一旦小波系統之基底建立完成後，此組基底可用於展開一給定函數  $f(t)$  如下(6)式所示：

$$f(t) = \sum_{j \in Z} c_j \phi_1(t) + \sum_{j=0}^{J-1} \sum_{k \in Z} d_{j,k} \psi_{j,k}(t) \quad (6)$$

其中係數  $c_j$  與  $d_{j,k}$  可使用以下之內積方式計算得到

$$c_j = \langle \phi_1(t), f(t) \rangle = \int f(t) \phi_1(t) dt \quad (7)$$

$$d_{j,k} = \langle \psi_{j,k}(t), f(t) \rangle = \int f(t) \psi_{j,k}(t) dt \quad (8)$$

係數  $c_j$  表示  $f(t)$  於每  $2^j$  點的一個近似(Approximation)， $d_{j,k}$  表示  $f(t)$  在各階層(Level)的細節(Detail)。(7)與(8)式中的  $c_j$  與  $d_{j,k}$  可利用如圖 3 之濾波器組計算得到。其中使用  $f(t)$  之取樣點即  $c_{j+1}$  與  $h_0'(n)$  及  $h_1'(n)$  直接迴旋積分(Convolution)並降取樣得到，其中  $h_0'(n)$  為  $h_0(n)$  之摺疊並作平移， $h_1'(n)$  為  $h_1(n)$  之摺疊並作平移。

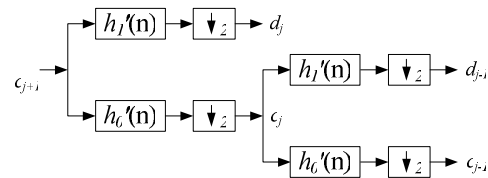


圖 3 使用濾波器組方式實現 DWT

圖 4 為使用濾波器組方式實現反小波轉換(IDWT)即小波合成。先將尺度係數  $c_{j-1}$  與細節係數  $d_{j-1}$  升取樣後與  $h_0(n)$  及  $h_1(n)$  做迴旋積分後再相加得到  $f(t)$  的近似值。

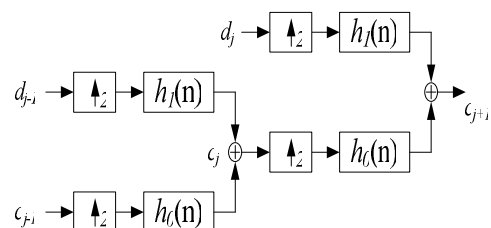


圖 4 使用濾波器組方式實現 IDWT

### 2.1.2 特徵值萃取

圖 5(a)為一 CT 於輸電線故障前後之一次與二次側電流波形，圖中一次側電流已等效至二次測，此 CT 於故障後發生飽和導致二次側電流波形扭曲變形，並於飽和開始與結束時產生一轉折點。利用 db2 小波轉換對二次側電流進行一階小波之分解與合成，其結果如圖 5(b)與圖 5(c)所示。圖 5(b)與圖 5(c)分別呈現合成後的細節部分(detail)與近似部分(approximation)，觀察圖 5(b)之細節部分，其於飽和開始與飽和結束時會有一明顯特徵出

現，圖 5(c)之近似部分呈現二次側飽和電流的近似波形。因小波基底具有平移與縮張信號之特性，因此相當適合偵測高頻的突發暫態信號。

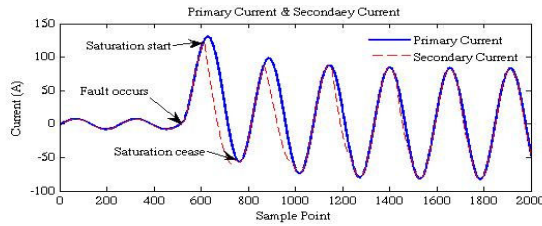


圖 5(a) 比流器一、二次側電流波形

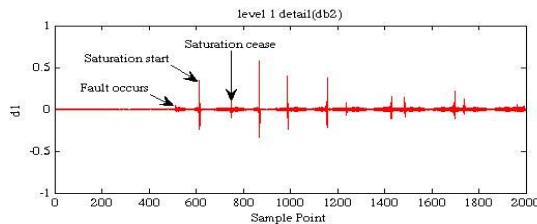


圖 5(b) 一階小波轉換之細節部分

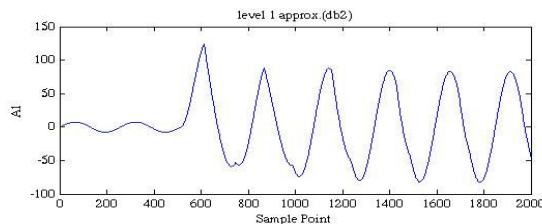


圖 5(c) 一階小波轉換之近似部分

圖 5 利用 db2 小波轉換分解與重建之結果

### 2.1.3 比流器飽和偵測

本文使用一階 db2 小波轉換加上一差分運算以偵測 CT 飽和之開始與結束，其如圖 2 所示，其中差分運算為將小波轉換之細節部份係數  $w1[n]$  與前一個小波轉換之細節部份係數  $w1[n-1]$  相減，即  $w1\_diff[n] = abs(w1[n] - w1[n-1])$ 。觀察此  $w1\_diff[n]$  會因為訊號的變化而高低起伏，當訊號中有因 CT 飽和開始或結束所產生之轉折點時，會產生一相對高振幅的值，即利用此一特性以偵測 CT 之飽和開始與結束。CT 飽和判斷演算法的流程圖如圖 6 所示，本文中藉由旗標 (Sat\_on) 表示 CT 是否發生飽和 (Sat\_on=1: CT 發生飽和; Sat\_on=0: CT 未發生飽和)。由於故障發生及 CT 飽和開始與結束時的  $w1\_diff[n]$  都會有些暫態的變化，因此設有一個暫停 (Suspend) 判斷的機制以避免暫態的變化而有誤判斷的情況。當每一個  $w1\_diff[n]$  進來時，首先判斷暫停條件是否成立即判定

(Suspend=0) 為真或偽，如判斷條件為真 (Suspend=0) 則再判斷  $w1\_diff[n]$  是否為一相對高振幅的值，否則會進入暫停判斷的機制，不改變任何旗標 (Sat\_on)。當進入判斷  $w1\_diff[n]$  是否為一相對高振幅的值時， $w1\_diff[n]$  會與臨界值 (Threshold) 比較，當  $w1\_diff[n] < thres$  時表示  $w1\_diff[n]$  並不是一相對高振幅值，反之  $w1\_diff[n] > thres$  還必須判斷電流是否大於十倍 CT 的額定值  $Ia\_s[n] > (10 \times ct\_rate)$  或第一次飽和發生旗標 (First\_sat\_occurs) 是否為 1，成立時表示  $w1\_diff[n]$  為一相對高振幅的值並將第一次飽和發生旗標 (First\_sat\_occurs) 設為 1，反之不改變飽和旗標 (Sat\_on) 及第一次飽和發生旗標 (First\_sat\_occurs)。當確定  $w1\_diff[n]$  為一相對高振幅的值時，則要做飽和開始或結束的判斷。當 (Sat\_on=1) 表示飽和狀態是由飽和轉為未飽和狀態；若 (Sat\_on=0) 表示飽和狀態是由未飽和轉為飽和狀態。一旦飽和狀態有所改變，就啟動暫停判斷機制，而暫停判斷的次數 (Suspend\_time) 是由初始值設定。

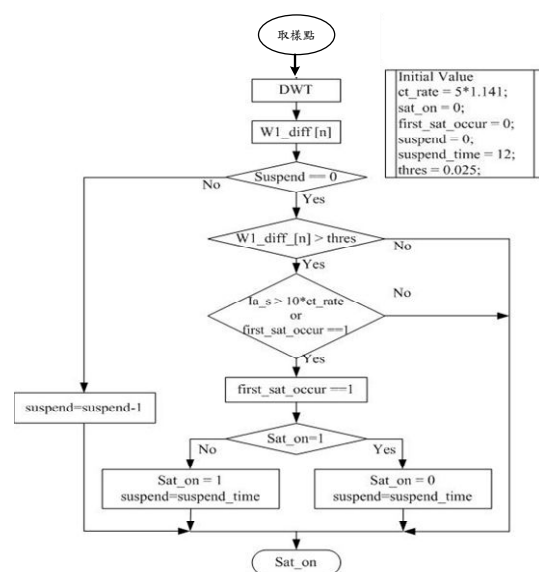


圖 6 使用小波轉換偵測比流器飽和流程圖

## 2.2 比流器飽和電流修正

### 2.2.1 最小誤差平方法

本文中使用 CT 未飽和之二次側電流，以最小誤差評方法 (Least Square Error, LSE) 估測 CT 電流之數學模型參數。考慮未飽和 CT 之二次側電流信號之取樣如下 (9) 式，電流信號中包含一基頻成分與指數衰減直流成分：

$$I_n = A \cos(2\pi f n \Delta t + \varphi + \alpha) + B e^{\lambda n \Delta t} \quad n = 0, 1, 2, 3, \dots \quad (9)$$

其中  $f$  為電流頻率、 $\Delta t$  為取樣時間間隔、 $B e^{\lambda n \Delta t}$  為指數衰減直流成分、 $\varphi$  為相角、 $\alpha$  為偏移角，設立偏移角的目的是為了避免使用 LSE 時產生近似於奇異矩陣(Singular Matrix)的情況。如電流每週期取樣  $N$  點，且指數衰減直流成分用泰勒級數展開，則可得如下之(10)式

$$I_n = (A \cos \varphi) \cos(n\theta + \alpha) + (-A \sin \varphi) \sin(n\theta + \alpha) + B + B\lambda'n + \frac{1}{2} B(\lambda'n)^2$$

$$n = 0, 1, 2, 3, \dots \quad \theta = 2\pi/N \quad \lambda' = \lambda \Delta t \quad (10)$$

其中  $A \cos \varphi$ 、 $-A \sin \varphi$ 、 $B$ 、 $B\lambda'$ 、 $\frac{1}{2} B\lambda'^2$  均為常數，可用  $C_1$ 、 $C_2$ 、 $B_1$ 、 $B_2$  和  $B_3$  表示如(11)式

$$I_n = C_1 \cos(n\theta + \alpha) + C_2 \sin(n\theta + \alpha) + B_1 + B_2 n + B_3 n^2 \quad (11)$$

如使用  $(p+1)$  點取樣值以估測電流的數學模型參數，並將其寫成矩陣型式得如下(12)式

$$\begin{bmatrix} I_0 \\ I_1 \\ \vdots \\ I_p \end{bmatrix} = \begin{bmatrix} \cos(0+\alpha) & \sin(0+\alpha) & 1 & 0 & 0^2 \\ \cos(\theta+\alpha) & \sin(\theta+\alpha) & 1 & 1 & 1^2 \\ \vdots & \vdots & \ddots & \vdots & \vdots \\ \cos(p\theta+\alpha) & \sin(p\theta+\alpha) & 1 & p & p^2 \end{bmatrix} \times \begin{bmatrix} C_1 \\ C_2 \\ B_1 \\ B_2 \\ B_3 \end{bmatrix} \quad (12)$$

將(12)式表示為  $x = S\hat{X}$ ，則可由 LSE 求得

$$\hat{X} = (S^T S)^{-1} S^T x \quad (13)$$

### 2.2.2 波型合成

本文利用最小誤差平方估測出未飽和電流之數學模型參數，參數分別為  $C_1$ 、 $C_2$ 、 $B_1$ 、 $B_2$  和  $B_3$ 。則於 CT 飽和期間之電流波形，可以估測的參數直接合成如(14)式所示，如此可修正飽和電流之誤差。

$$I_n = C_1 \cos((k + (p+1))\theta + \alpha) + C_2 \sin((k + (p+1))\theta + \alpha) + B_1 + B_2(k + (p+1)) + B_3(k + (p+1))^2$$

$$k = 1, 2, 3, \dots \quad \theta = 2\pi/N \quad (14)$$

其中  $k$  為飽和開始之計數器、 $(p+1)$  為估測參數所使用的點數、 $\alpha$  為偏移角、 $N$  為每週期取樣次數。合成過程中以泰勒展開式取代指數部份，目的為減少運算及降低誤差 ( $\lambda' = B_2/B_1 \cong 0$ )。

### 2.2.3 比流器飽和電流修正

如圖 2 中所示，先將 CT 二次側電流信號

降取樣由 256 點/cycle 降至 64 點/cycle，再進入電流修正技術中執行。圖 7 為最小誤差平方估測參數演算法。使用移動視窗(Moving Window)的觀念，視窗長度為 13 個取樣點約 1/5 個週期，利用這些取樣點進行參數估測，即將移動視窗內的取樣點與一濾波器組 (Array\_Coef\_135) 進行迴旋積分，即可算出參數  $C_1$ 、 $C_2$ 、 $B_1$ 、 $B_2$ 、 $B_3$ 。接著判斷飽和旗標(sat\_on)是否顯示為飽和狀態，若顯示未飽和狀態(sat\_on=0)則表示所估測的參數是有效的，將予以儲存。反之，為飽和狀態(sat\_on=1)則表示移動視窗內取樣的資料中含有飽和電流的取樣值，這會使估測參數有所誤差所以不予儲存，而改以儲存前一次估測的參數。

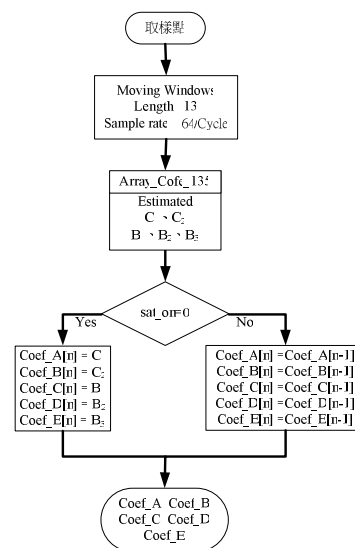


圖 7 最小誤差平方估測參數演算法

圖 8 為 CT 電流波型合成演算法。每當有參數儲存於 Coef\_A、Coef\_B、Coef\_C、Coef\_D、Coef\_E 時，將會判斷飽和旗標(sat\_on)。當 sat\_on=0 則以二次側電流直接輸出；當 sat\_on=1 則需要估算二次側電流以修正之，其合成修正電流則是以(14)式直接計算。

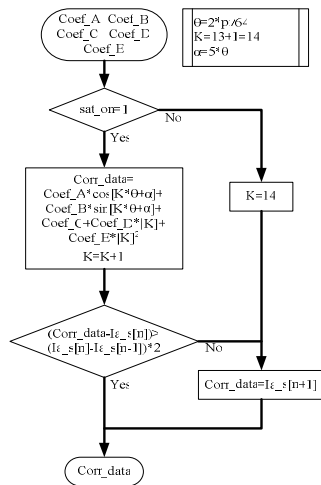


圖 8 比流器二次側電流波形合成演算法

圖 8 中使用一檢查修正波形正確性的機制，因從故障發生至第一次 CT 飽和開始，其中可用之電流點數可能會不足以正確估測二次側電流之數學模型參數，即最小誤差平方法中所使用之資料中含有故障前後之二次側電流取樣點，由於故障發生前後之二次側電流波形其數學模型有重大的變化，假如取樣點中含有故障發生前後的取樣值，其估測所得的電流模型參數易產生重大誤差，導致合成之修正電流波形有很大的誤差。因此本文使用  $(\text{Corr\_data} - I_{a\_s}[n]) > (I_{a\_s}[n] - I_{a\_s}[n-1]) \times 2$  以判斷合成電流(Corr\_data)是否可用，如判定估測參數之誤差過大，將不輸出合成之修正電流而以二次側電流信號直接輸出。

### 3. 演算法模擬驗證

#### 3.1 模擬驗證環境介紹

為驗證提出之演算法，本文利用 Matlab/Simulink 模擬器模擬一 345kV 輸電線發生故障並造成 CT 飽和，模擬系統之單線圖如圖 9 所示，輸電線長度為 100 km，Bus\_S1 及 Bus\_S2 外之電力網路以戴維寧等效取代，電流之取樣率是一個週期取 256 個取樣點，CT 採用 C400 CT(2000:5;  $R_s=0.61\Omega$ )，連接之負載電阻是  $3.42\Omega$  [11]，圖 10 是模擬中使用 CT 的激磁曲線，x 軸是磁化電流，單位是安培，y 軸是磁交鏈，單位是伏特-秒(V-S)，模擬中 CT 飽和點是在(2.047A, 1.512V-S)。

以下使用一模擬案例以驗證本文所提出之方法。模擬案例中所有 CT 一次側電流皆為等效於二次側之值表示。

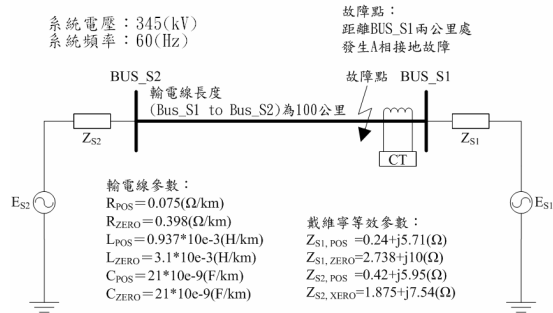


圖 9 模擬系統

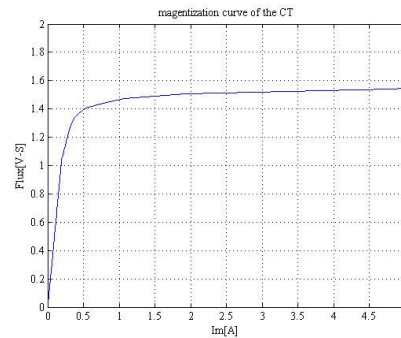


圖 10 CT 之磁化曲線

#### 3.2 模擬驗證結果

如圖 9 中模擬輸電線於距離 Bus\_S1 兩公里處發生 A 相接地故障，接地電阻為 0.1 歐姆，類比數位轉換之前置濾波器的截止頻率(Cutoff Frequency)為 1920Hz。模擬中故障投入角為 0 度時，故障電流中含有最大的指數衰減直流成分，如此可使 CT 於故障發生後進入飽和狀態，模擬結果如圖 11(a)所示，為 CT 的一次、二次側電流波形，取樣率為 256/cycle，由圖中可明顯看出，故障後二次側電流波形具有明顯失真，顯示 CT 發生飽和。此飽和現象在故障後第一週期最為嚴重，隨著指數衰減直流成分的減少，飽和現象持續時間越來越少。圖 11(b)為 db2 小波轉換細節部份之差分(w1\_diff[n])，在故障發生點，有一高振幅 w1\_diff[n] 出現，但其電流值小於 CT 之十倍額定電流，所以不會判斷為高振幅 w1\_diff[n]。之後的 w1\_diff[n] 在 CT 飽和開始與飽和結束的時候，會有顯著的變化特徵值被偵測出來。圖 11(c)為飽和旗標的輸出結果，其可正確地偵測出 CT 之飽和開始與結束。圖 11(e)為 CT 飽和電流修正結果，由圖中可看出於飽和期間有修正結果的輸出，最後將一次側電流、二次側未修正電流與二次側修正電流，利用(15)式之離散傅立葉轉換以計算其相量大小(Magnitude)如圖 11(f) 所示，由圖中可明顯看出，有經過電流修正技術的結果與 CT 一次側的相量大小誤差甚少。

$$\text{Mag}[n] = \left| \sum_{n=0}^{63} x[n] e^{-j \frac{2\pi}{64} n} \right| \quad (15)$$

圖 11(g) 為二次側未修正電流與二次側修正電流誤差百分比之比較，其誤差百分比定義如(16)式所示

$$\begin{aligned} \text{Sec\_diff} &= |(\text{Mag\_Sec} - \text{Mag\_Pri})| \\ \text{Corr\_diff} &= |(\text{Mag\_Corr} - \text{Mag\_Pri})| \\ \text{Mag\_Error}(\%) &= \frac{|(\text{Corr\_diff} - \text{Sec\_diff})|}{20 \times \text{CT\_rate}} \times 100\% \quad (16) \end{aligned}$$

Mag\_Pri 為一次側電流相量大小；

Mag\_Sec 為二次側未修正電流相量大小；

Mag\_Corr 為二次側電修正電流相量大小；

CT\_rate 為 CT 額定電流；

由圖 11(g) 中可看出未修正的電流誤差百分比最大約 11.5%，經修正的電流最大誤差百分比降為約 2.5%。由本案例可知，CT 飽和偵測的結果正確，及電流修正的結果可大幅改善其 CT 二次側電流失真的部份。

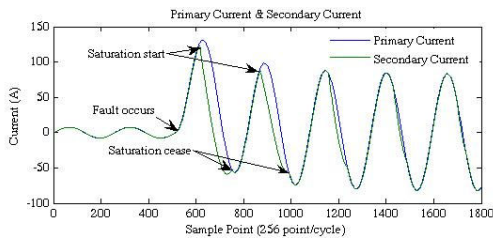


圖 11(a) 比流器一次側與二次側電流

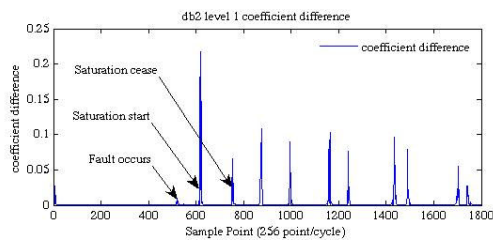
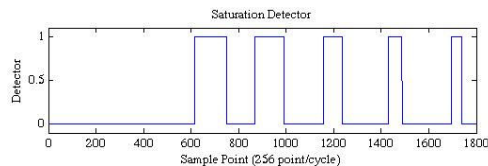


圖 11(b) db2 小波轉換細節部份之差分



(0: 比流器未發生飽和，1: 比流器發生飽和)

圖 11(c) 飽和偵測結果輸出

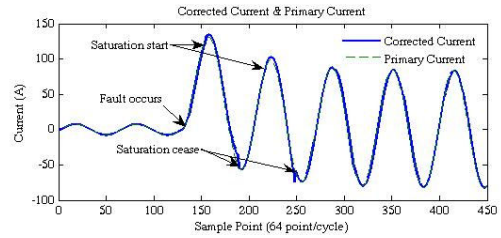


圖 11(e) 飽和電流修正結果

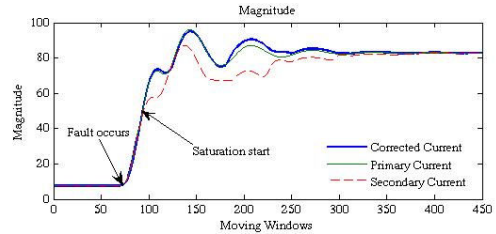


圖 11(f) 電流修正與未修正電流之相量大小

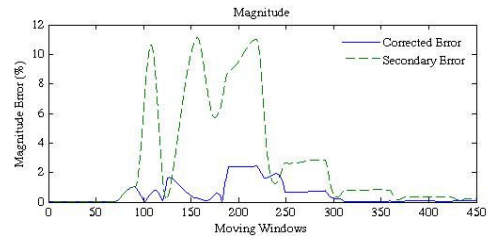


圖 11(g) 電流修正與未修正電流之誤差百分比

圖 11 模擬驗證結果

#### 4. 飽和電流修正演算法之 RTL 硬體架構設計

本文所發展之演算法於應用時須為即時性，圖 2 比流器飽和電流修正演算法流程圖可知須大量的計算與平行處理，如以軟體方式實現需使用昂貴的高階數位訊號處理晶片，故使用 FPGA 實現為一較可行且便宜之方式，一般而言，FPGA 之設計流程如下所示：

步驟 1. 規格制定：

定義晶片功能、時序(Timing)要求...等。

步驟 2. 硬體架構設計：

將設計切割成幾個清楚的大區塊，並定義各區塊間的連接訊號。

步驟 3. 細部設計：

設計各區塊內細部電路。

步驟 4. 設計輸入：

利用硬體描述語言(Hardware Description Language, HDL)進行電路描述。

步驟 5. 功能模擬：

針對所設計之 HDL 描述進行功能模擬驗證。

步驟 6. 合成(Synthesis):

將設計之 HDL 描述依據指定的 FPGA 元件和約束控制條件進行編譯、最佳化與轉換，以獲得閥級(Gate Level)電路描述網表檔。

步驟 7. 佈局與佈線(Place and Route):

將由合成器產生的網表檔配置於指定的 FPGA 中，使之產生最終的下載燒錄檔。

步驟 8. 時序模擬：

對佈局與佈線後生成的結果進行時序模擬與靜態時序分析。

步驟 9. 下載至 FPGA 進行硬體測試。

圖 12 為比流器飽和電流修正演算法之硬體架構設計，採用同步設計方式，其中主要有「比流器飽和偵測模組」、「電流修正模組」與「時脈產生模組」三大模組。二次測電流(Ia\_s)之原始取樣率為每週期 256 點，修正後二次測電流(Corr\_Ia\_s)之取樣率為每週期 64 點。二次測電流首先於「比流器飽和偵測模組」中使用小波轉換以萃取 CT 二次測電流於飽和開始與結束時之特徵，進而，判定 CT 是否處於飽和狀態，如果 CT 處於飽和狀態則「比流器飽和偵測模組」送出訊號 Sat\_on=1，如 CT 為無飽和狀態則送出訊號 Sat\_on=0。此後，將二次測電流(Ia\_s)和 Sat\_on 訊號經過 DownSample\_64 模組，此模組將二次側電流(Ia\_s)和 Sat\_on 訊號降取樣(Down Sampling)四倍，即將取樣率由每週期 256 點降取樣成每週期 64 點，以提供「電流修正模組」作為輸入之用，「電流修正模組」使用降取樣後的 Sat\_on\_64 訊號以決定是否將修正後的二次側電流輸出，如 Sat\_on\_64 訊號為 0，「電流修正模組」直接將降取樣為每週期 64 點的二次測電流(Ia\_s\_64)輸出，如 Sat\_on\_64 訊號為 1 時，「電流修正模組」執行修正功能並將修正後的結果輸出。圖 12 中的

「時脈產生模組」主要在規劃與管理整個設計內的各模組所需時脈，在整個設計的架構中，需使用多個不同頻率的時脈(Clock)，此模組的設計主要由一個基本的時脈去產生在各個模組中所需的時脈，這樣可使設計中的各模組易於設計與控制。

圖 13 為時脈產生模組所產生之時脈訊號，Clock 為時脈產生模組中最基本的時脈，ret 為系統重置訊號，每個二次側電流(Ia\_s)取樣點於 Clock256 之正緣時讀入，首先先經過 CT 飽和偵測模組，其結果為 db2 一階小波差分(w1\_diffn)與 CT 飽和判斷訊號(Sat\_on)於一個 Clock256 之週期內完成並輸出，其中 ck\_s1 為比流器飽和偵測模組中控制整個模組之狀態機(FSM1)使用的時脈，ck\_s2 則是在控制此模組裡係數相乘與累加的狀態機(FSM2&FSM3)使用的時脈，最後 ck\_s3、ck\_s4、ck\_d、ck\_d1、ck\_ss、ck\_ss1 為電流修正模組內移位暫存器、乘法器、加法器、多工器、有限狀態機(Finite State Machine, FSM)... 等元件所用到的時脈。

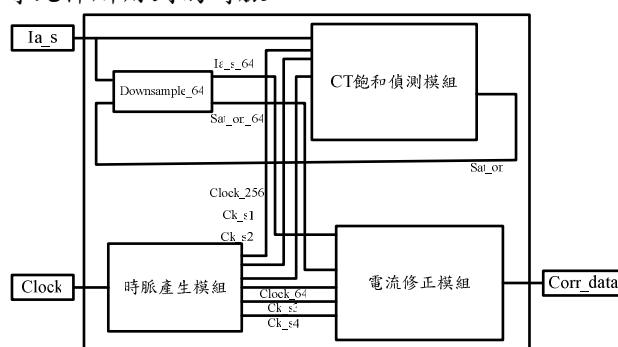


圖 12 比流器飽和電流修正演算法之硬體架構設計

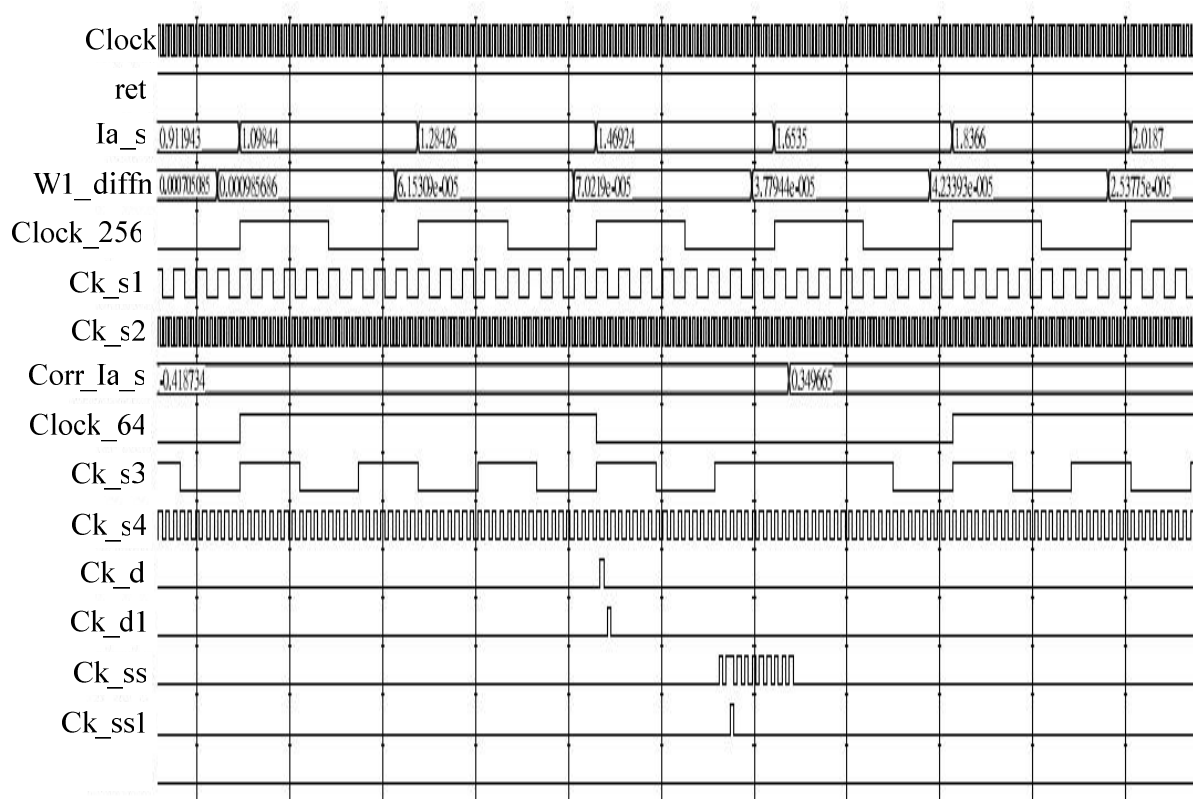


圖 13 時脈產生模組所產生之時脈訊號

圖 14 為「比流器飽和偵測模組」中小波轉換之細部架構設計，細部設計採用 Datapath 與 Controller 方式設計，Datapath 中使用的元件有移位暫存器(shift register)、乘法器、加法器、多工器...等，Controller 採用有限狀態機設計。模組中運用移位暫存器以儲存取樣點，並進行一階 db2 小波轉換，方法為將移位暫存器內的取樣點通過一濾波器(rh1)，係數為 (rh1\_0=-0.4829629, rh1\_1=0.8365163, rh1\_2=-0.2241438, rh1\_3=-0.1294095)，實現方法為將暫存器內的取樣點與 rh1 係數個別相乘後累加。此後，累加之數值再通過一多工器，此多工器是為了實現小波轉換中的降取樣後再升取樣之電路設計，經過多工器後的數值再存入另一移位暫存器，接者再將此移位暫存器內的值通過另一濾波器(h1)，係數為 (h1\_0=-0.1294095, h1\_1=-0.2241438, h1\_2=0.8365163, h1\_3=0.4829629)，實現方法為將暫存器內的取樣點與 h1 係數個別相乘後累加，累加後的數值即為一階 db2 小波轉換之

detail 係數 w1[n]，之後將 w1[n]存入移位暫存器，再將暫存器內的值相減，即可 w1[n]之差分為  $w1\_diff[n]=abs(w1[n]-w1[n-1])$ ，利用 w1\_diff[n]以判定 CT 飽和開始或結束。

圖 15 為「比流器飽和偵測模組」中飽和判斷(Algorithmic StateMachine, ASM)圖，在模組中主要是利用有限狀態機三種狀態 s0、s1、s3 來控制，當進入 s0 狀態時，接者進入判斷條件，只要判斷條件成立，第一次飽和發生訊號(First\_sat\_occurs)設為 1，反之，不會改變狀態。當第一次飽和發生訊號(First\_sat\_occurs)為 1，接者會進入 s1 狀態或 s2 狀態，在 s1 狀態中飽和訊號(Sat\_on)從未飽和到飽和的狀態，所以，此狀態下飽和訊號(Sat\_on)會為 1 且將計數器設定為 20 開始下數，在 s2 狀態中飽和訊號(Sat\_on)從飽和到未飽和的狀態，所以，此狀態下飽和訊號(Sat\_on)會為 0 且將計數器設定為 20 開始下數，當計數器計數到 0 時，接者進入 s0 狀態。

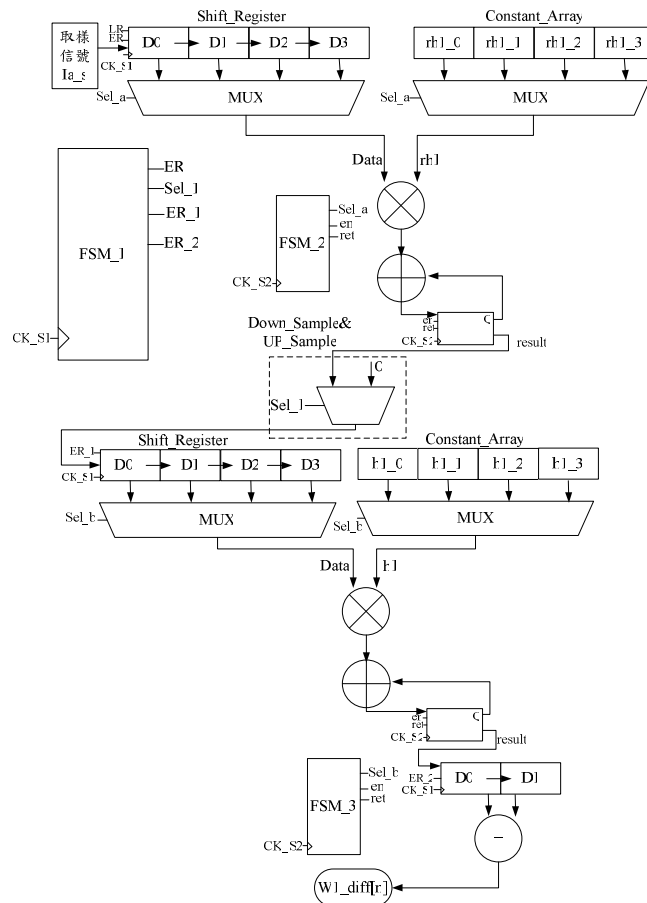


圖 14 「比流器飽和偵測模組」中小波轉換之細部設計架構

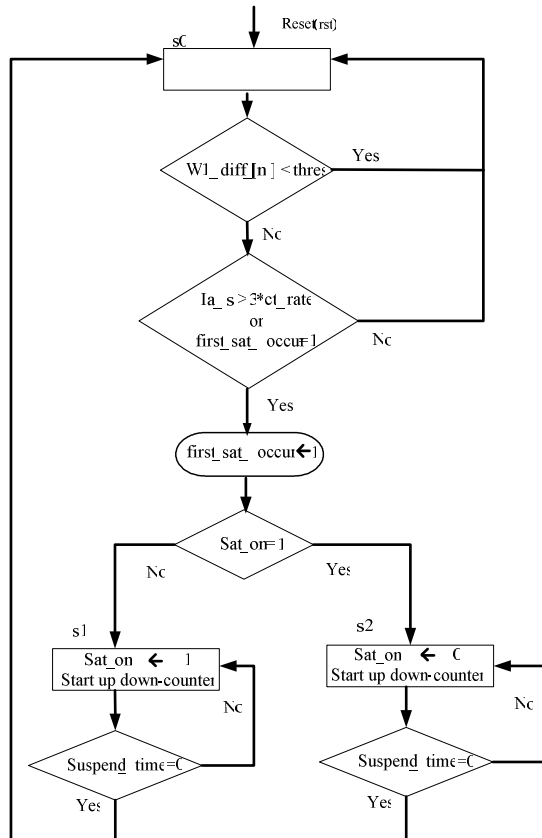


圖 15 「比流器飽和偵測模組」中飽和判斷 ASM 圖

圖 16 為電流修正模組示意圖，在此模組中包含了「最小平方誤差估測(LSE)模組」與「波形合成模組」，在圖 12 中首先將二次測電流(Ia\_s)之原始取樣率(每週期 256 點)經過「CT 飽和偵測模組」以判定飽和狀態，之後將飽和判斷訊號(Sat\_on)經「Downsample\_64 模組」降取樣為每週期 64 個點。

降取樣後的二次測電流(Ia\_s\_64)與飽和判斷訊號(Sat\_on\_64)先由「最小平方誤差估測模組」利用 13 個取樣點以估測 5 個係數，接者再將所估測出來的係數提供給「波形合成模組」進行二次側電流的合成，當判斷訊號(Sat\_on)判定 CT 處於飽和狀態時將合成之電流輸出，否則直接以降取樣為每週期 64 個點之二次側電流輸出。

圖 17 為「電流修正模組」中「最小平方誤差估測模組」細部設計架構，在模組中運用了 13 個移位暫存器以儲存取樣點，並進行最

小平方誤差估測，方法為將移位暫存器內的取樣點同時通過 5 個濾波器 Constant\_Array\_A、Constant\_Array\_B、Constant\_Array\_C、Constant\_Array\_D、Constant\_Array\_E，實現方法為將暫存器內的取樣點與濾波器係數個別相乘後累加並存入移位暫存器，此後，利用飽和判斷訊號(Sat\_on\_64)以選擇所要使用的估測係數。

圖 18 為「電流修正模組」中「波形合成模組」之細部設計架構，當 CT 為未飽和狀態下(Sat\_on\_64=0)，直接將降取樣後的二次測電流(Ia\_s\_64)輸出，反之，當 CT 為飽和狀態下(Sat\_on\_64=1)，使用合成之電流輸出。實現波形合成的方法為當 CT 處於飽和狀態時(Sat\_on\_64=1)採用查表輸出與「LSE 模組」估測之 5 個係數個別相乘後累加，累加後的數值再經過一比較器判斷合成之修正波形的正確性，其原理如 2.2.3 節所示。

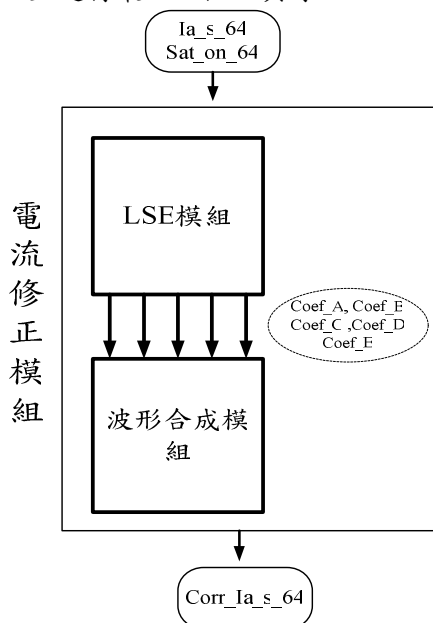


圖 16 電流修正硬體架構示意圖

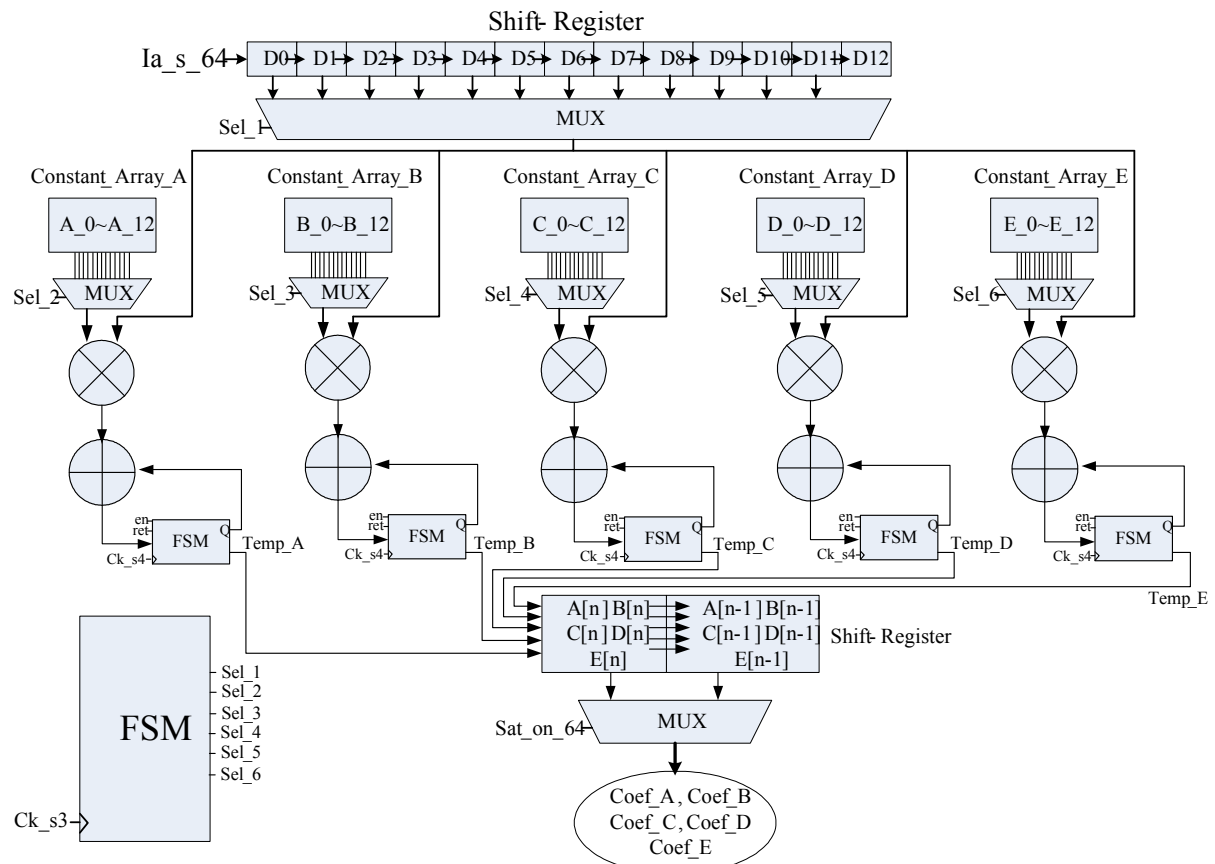


圖 17 「電流修正模組」中最小平方誤差法估測(LSE) 細部設計架構

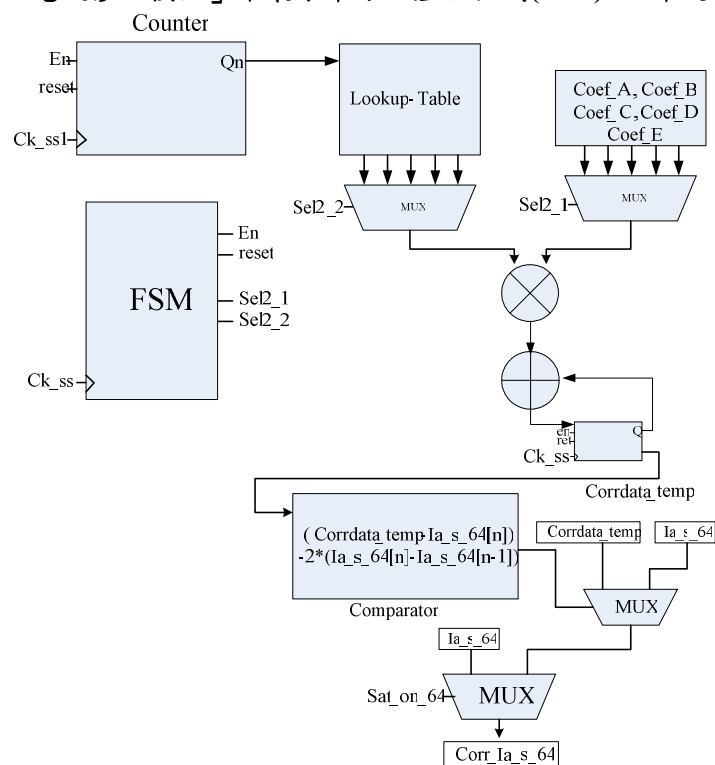


圖 18 「電流修正模組」中波形合成細部設計架構

## 5. 硬體架構設計驗證

本文使用 VHDL 建構上述之硬體架構並使用 modelsim 模擬器模擬，模擬流程如下：

步驟一：使用 Matlab/Simulink 模擬如圖 10 所示之模擬系統以產生 CT 之一、二次側電流 (Ia\_s) 資料，並存於 txt 文件檔。

步驟二：建構一 VHDL 之 Testbench 以測試所設計之 RTL 硬體架構，並將硬體輸出結果存於 txt 文件檔。

步驟三：使用 Matlab 將 RTL 硬體架構之輸出結果繪圖如圖 19 所示。

圖 19(a) 為 CT 的一、二次側電流波形，其中一次側電流為等效至二次側之值，電流取樣率為 256/cycle，由圖中可明顯看出，二次側電流波形於故障後具有明顯失真，顯示 CT 發生飽和。圖 19(b) 為計算得到之一階小波差分  $w1\_diff[n]$ ， $w1\_diff[n]$  在 CT 飽和開始與飽和結束的時候，有顯著的變化特徵值。圖 19(c) 為飽和旗標 (sat\_on) 的輸出結果，其可正確地偵測出 CT 之飽和期間，圖 19(d) 為 CT 飽和電流修正結果，由修正結果可知所設計之 RTL 硬體架構確可完成設計要求。

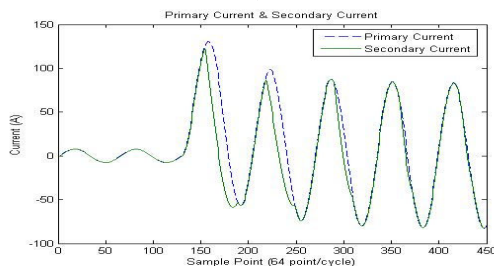


圖 19(a) 比流器一次側與二次側電流

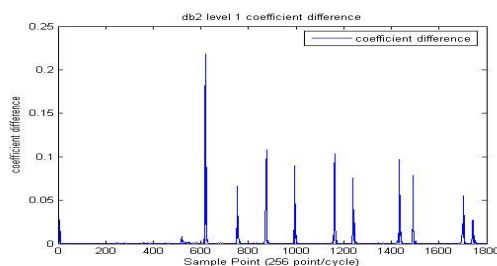
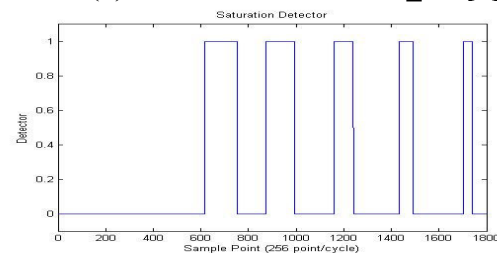


圖 19(b) db2 一階小波差分  $w1\_diff[n]$



(0: 比流器未發生飽和, 1: 比流器發生飽和)

圖 19(c) 飽和旗標 (sat\_on) 輸出結果

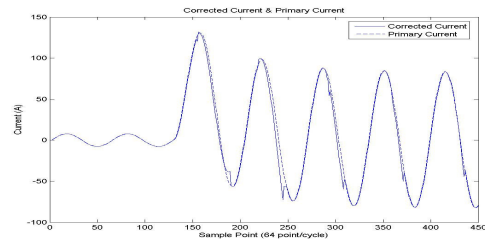


圖 19(d) 飽和電流修正結果輸出

圖片 19 硬體架構設計模擬結果

## 6. 結論

本文提出比流器飽和電流修正演算法與 RTL 硬體架構設計，所提之演算法使用離散小波轉換以萃取特徵以判定比流器飽和發生，並藉由比流器無飽和時之電流取樣值，使用最小平方誤差法以估測電流之數學模型參數，可於比流器飽和時以波形合成方式產生電流波形以修正飽和電流，模擬結果顯示可大幅修正比流器飽和所造成之電流誤差。此外，以所提之演算法為基礎，本文中設計此演算法之 RTL 硬體架構，使用 VHDL 建模並以 modelsim 模擬器進行功能模擬驗證，模擬結果顯示所設計之 RTL 硬體架構確可完成設計要求，所設計之架構未來可合成於 FPGA 以達所提演算法於即時性應用時之速度要求。

## 參考文獻

- [1] 李宏任，『實用保護電驛(修訂版)』，全華科技圖書，民國八十九年。
- [2] An IEEE Power System Relay Committee Report, "Gapped Core Current Transformer Characteristics and Performance," *IEEE Transactions on Power Delivery*, Vol. 5, No. 4, November 1990, pp. 1732-1740
- [3] Vincent Molcrette, Jean-Luc Kotny, Jean-Paul Swan and Jean-Francois Brudny, "Reduction of Inrush Current in Single-phase Transformer Using Virtual Air Gap Technique," *IEEE Transactions on Magnetics*, Vol. 34, No. 4, July 1998, pp. 1192-1194.
- [4] A. G. Phadke and J. S. Thorp, Computer Relaying for Power Systems, Research Studies Press Ltd., 1988, pp. 185-186.
- [5] Y. C. Kang, S. H. Ok, S. H. Kang, "A CT Saturation Detection Algorithm," *IEEE Trans. On Power Delivery*, vol. 19, No. 1, pp. 78-85, Jan. 2004.
- [6] Y. C. Kang, J. K. Park, S. H. Kang, A. T. John and R. K. Aggarwal, "An algorithm

- for compensation the secondary current of current transformer,” *IEEE Trans. On Power Delivery*, vol. 12, pp. 116–124, Jan. 1997.
- [7] T. Bunyagul, P. Crossley and P. Gale, “Overcurrent protection using signals derived from saturated measurement CTs,” *IEEE Power Eng. Soc. Summer Meeting, Vancouver*, BC, Canada, July, 2001.
  - [8] C. F., “An impedance-based CT saturation detection algorithm for bus-bar differential protection,” *IEEE Trans. On Power Delivery*, vol. 16, pp. 468–472, Oct. 2001.
  - [9] Y. C. Kang, U. J. Lim and S. H. kang, “Compensation algorithm suitable for use with measurement-type current transformers for protection,” *IEE Proc. Gener. Transm. Distrib.*, Vol. 152, No. 6, pp. 880–890, Nov. 2005.
  - [10] Y. C. Kang, U. J. Lim and S. H. kang and P. A. Crossley, “Compensation of the distortion in the second current caused by saturation and remanence in a CT,” *IEEE Trans. On Power Delivery*, vol. 19, No. 4, pp. 1642–1649, Oct. 2004.
  - [11] F. Li, Y. Li and R. K. Aggarwal, “Combined wavelet transform and regression technique for secondary current compensation of current transformer,” *IEE Proc. Gener. Transm. Distrib.*, Vol. 149, No. 4, pp. 497–503, July 2002.
  - [12] D. C. Yu, J. C. Cummins, Z. Wang, H.-J. Yoon and L. A. Kojovic, “Correction of current transformer distorted secondary currents due to saturation using artificial neural networks,” *IEEE Trans. On Power Delivery*, vol. 16, No. 2, pp. 189–194, April 2001.
  - [13] 胡振華編著, “VHDL 與 FPGA 設計”, 全華科技出版社, 中華民國 91 年
  - [14] 潘松、黃繼業編著／林穎宏校訂, “EDA 技術與 VHDL”, 五南出版社, 2007 年
  - [15] S. Brown, Z. Vranesic, “Digital Logic with VHDL Design”, 2nd edition, McGRAW HILL company, 2005
  - [16] Mark Zwolinski, “Digital System Design with VHDL”, 2nd edition, Peterson Education Limited, 2004
  - [17] S. J. Huang, T. M. Yang and J. C. Huang, “FPGA Realization of Wavelet Transform for Detection of Electric Power System Disturbances”, *IEEE Transactions on Power Delivery*, Vol. 17, No. 2, pp. 388–394, April 2002.
  - [18] Zhang Guiqing, Feng Tao, Zhang Hang, Wang Jianhua, Xu Hong, Geng Yingsan and Zheng Shiquan, “The implementation of digital protection in power system using FPGA,” 4th International Conference on ASIC, 2001.
  - [19] Zhang Guiqing, Feng Tao, Wang Jianhua, Zhang Hang, Xu Hong, Geng Yingsan, and Zheng Shiquan, “The SOC design and implementation of digital protective relay based on IP cores,” Proceedings of International Conference on Power System Technology, *PowerCon-2002*, vol. 4, pp. 2580 – 2583, 13–17 Oct. 2002.
  - [20] Jong-wan Seo and Myong-Chul Shin, “A study on an ASIC design technique for digital protective relays,” *IEEE International Symposium on Circuits and Systems*, ISCAS 2005, vol. 4, pp. 3910 – 3913, May 2005.
  - [21] M. A. Manzoul, “Multi-function protective relay on FPGA,” *Microelectronics Reliability*, vol. 38, pp. 1963–1968, 1998.
  - [22] S. Ahuja, L. Kothari, D.N. Vishwakarma and S.K. Balasubramanian, “Field Programmable Gate Arrays based over current relays,” *Electric Power Component and systems*, vol. 32, pp. 247–255, 2004.
  - [23] 陳壽孫、羅靜儀、石金福、楊金石、蒲冠志, 『電力系統分析-輸配電學』, 新文京開發出版, 民國九十三年。
  - [24] 李宏任, 『電機設備保護(修訂版)』, 全華科技圖書, 民國八十七年。
  - [25] Y. C. Kang, U. J. Lim, S. H. Kang and P. A. Crossley, “Compensation of the distortion in the secondary current caused by saturation and remanence in a CT,” *IEEE Transactions on Power Delivery*, Vol. 19, No. 4, Oct. 2004, pp. 1642–1649.
  - [26] L. Satish, “Short-time Fourier and Wavelet Transforms for Fault Detection in Power Transformers During Impulse Tests,” *IEE Proceedings-Science Measurement Technology*, Vol. 145, No. 2, March 1998, pp. 77–84.
  - [27] W.A. Wilkinson and M.D. Cox, “Discrete Wavelet Analysis of Power System Transients,” *IEEE Transactions on Power System*, Vol. 11, No. 4, pp. 2038–2044,

November 1996.

- [28] L. Angrisani, P. Daponte, D. Apuzzo, A. Testa, " A Measurement Method Based on the Wavelet Transforms for Power Quality Analysis," **IEEE Transactions on Power Delivery**, Vol. 13, No. 4, pp. 990-998, October 1998.
- [29] G. Kim and R. Aggarwal, "Wavelet transformation in power system," **Inst. Elect. Eng. Power Eng. J.**, vol. 15, no. 4, pp. 193-202, Aug. 2001.
- [30] M. Karimi, H. Mokhtari and M. R. Iravani, "Wavelet based on-line disturbance detection for power quality applications," **IEEE Trans. On Power Delivery**, vol. 15, No. 4, pp. 1212–1220, Oct. 2000.
- [31] K. L. Burlet-Purry, M. Bagriyanik, " Characterization of Transients in Transformer Using Discrete Wavelet Transforms, " **IEEE Trans. On Power System**, vol. 18, No. 2, pp. 648–656, May 2003.
- [32] Omar A. S. Youssef, "Online Application of Wavelet Transforms to Power System Relaying," **IEEE Trans. On Power Delivery**, vol. 18, No. 4, pp. 1158–1165, Oct. 2003.